

文章编号: 1001-5078 (2006) 03-0234-04

高分辨航拍相机实时图像存储系统的关键技术

单 洁¹, 曹剑中¹, 章 奇¹, 宋 凭^{1,2}, 杜升平¹

(1. 中国科学院西安光学精密机械研究所光电测控研究室, 陕西 西安 710068;

2. 中国人民解放军西安通信学院一系, 陕西 西安 710106)

摘 要: 简要分析了 DSP + FPGA + FLASH 实时图像处理系统的特点和优越性, 并结合高分辨率航拍数码相机实例, 介绍了用于图像实时存储系统的设计; 提出了系统设计中需要注意的全局时钟和数据交互等几个关键性问题, 结合实际工作给出了具体的分析和解决方案。

关键词: 实时图像处理; DSP + FPGA + FLASH; 时钟; 数据交互

中图分类号: TH761. 6; TP752 **文献标识码:** A

The Key Technique Study of Real Time Image Memory System of High Resolution Aerial Camera

SHAN Jie¹, CAO Jian-zhong¹, ZHANG Qi¹, SONG Ping^{1,2}, DU Sheng-ping¹

(1. Xi'an Institute of Optics & Precision Mechanics, Xi'an 710068;

2. Dept of Computer & Information Engineering, Xi'an Communication Institute, Xi'an 710106, China)

Abstract: This paper simply analyses the characteristic and advantage of DSP & FPGA FLASH system, and recommends the real time image memory system based on an example of high resolution aviation digital camera, puts forward several key problems such as global clock and data alternation, and finally gives full and accurate analysis and settle project

Key words: real time image processing; DSP + FPGA + FLASH; global clock; data alternation

1 引 言

随着数字及半导体技术的发展, 采用信号处理器 (DSP)、现场可编程门阵列器件 (FPGA) 和闪存存储器 (FLASH ROM) 结构的数字硬件系统正显示出优越性。通用 DSP 的优点是通过编程可以应用到广泛的产品当中去, 且已经能够满足算法控制结构复杂、运算速度快、寻址方式灵活和通信性能强大等需求。但是传统 DSP 的结构本质上是串行的, 对于需要处理的数据量大、速度快、而运算结构相对简单的底层图像处理算法来说, 并没有优势可言, 而这恰好是 FPGA 硬件的强项。采用 DSP + FPGA 的数字

硬件系统并结合两者的优点, 兼顾了速度和灵活性。最大优点是结构灵活, 适合模块化设计, 易于维护和扩展, 适合应用于实时信号处理系统。

在某高分辨率航拍相机的实时图像处理系统中, 我们应用 DSP + FPGA + FLASH 结构实现了图像的实时无损压缩与存储。

2 系统结构及工作原理

本航拍相机系统主要由一片高分辨率全帧转移

作者简介: 单 洁 (1979 -), 女, 硕士研究生, 现就读中国科学院西安光学精密机械研究所通信与信息工程专业, 从事海量数据存储及传输科研工作。E-mail: freetree01@hotmail.com

收稿日期: 2005-07-25; **修订日期:** 2005-10-19

型面阵 CCD (有效像素为 1100 万, 像元尺寸为 $9 \times 9 \mu\text{m}^2$) 及其驱动电路、相关双采样 CDS、自动增益放大器及 ADC、信号处理系统和存储系统, 以及 USB 接口等。系统组成框图如图 1 所示。

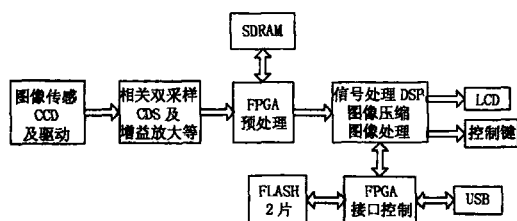


图 1 系统框图

系统工作时, CCD 输出的模拟信号由四象限分别读出, 经四路 12 位 ADC 数字化处理, 进行相关双采样 CDS, 得到的数据信息通过 DSP 读出并进行压缩、转换等处理, 再转换成特定的图像格式。最后, 以图像文件的形式存储在 FLASH 存储器中。可通过 LCD 查看拍摄的照片和通过 USB 接口将照片传输到计算机上。

3 系统主要器件

高分辨率航拍数码相机的实时图像存储系统主要由一片 DSP 和两片 FPGA (包括预处理器和接口控制器) 组成。系统设计要每秒钟 2 帧图像, 每帧 1100 万像素, 经过 12 位 ADC, 最终数据量为 264 Mbit/s, 为保证图像质量采用无损压缩, 同时为确保系统工作的实时性, 对 DSP 运算性能提出了很高的要求。

系统中压缩算法芯片为 TI 公司的 TMS320C6701。它可在一个时钟周期内并行执行 8 条指令, 内部工作频率可达 200 MHz, 每秒可完成 1.6 G 次操作, 有 4 个通道自加载的 DMA 通道, 可以在没有 CPU 参与下完成映射空间的数据传输。

3.1 可编程门阵列器件 FPGA

ALTERA 公司生产的 Cyclone 系列中的 EPIC3T144C8, 其最高工作频率可达 200 MHz, 拥有 2910 个逻辑单元, 104 个 I/O 口, 可保证各功能模块的实现以及系统的灵活性和高集成度。主要解决问题有两个:

(1) 预处理和缓存。图像压缩系统所需要的输入图像数据流是按照图像的原始排列组织的, 而图像采集系统中, A/D 转换后的输出数据流为四象

限结构。因此, 必须对此数据流进行相应的预处理, 图像压缩系统才能够直接从图像采集系统中得到需要的数据格式, 从而提高整个图像处理系统的性能。

根据 A/D 转换输出数据格式与图像压缩系统输入数据格式间的对应关系, 一帧图像中的任意像素可以用分层寻址方式准确定位, 首先, 从一帧图像的第一象限 (2028×1342) 的第一行开始, 每连续的 64 行作为一个像素块, 称为行块; 其次, 每一个行块又在水平方向上以每 64 像素分一段, 每段称为一个列组 (64×64), 第 21 列组只有 62 像素; 然后, 依次在随后的几个象限按同样规则分块, 分块后的图像按照水平顺序送入缓存。

缓冲存储器由 FPGA 的内部阵列生成, 两组帧存 SDRAM 的读写采用乒乓机制来管理。为确保在任何时刻, 最多只有一个帧存 SDRAM 处于图像压缩系统的控制下, 设置了一个读互斥锁; 同样, 最多有一个帧存 SDRAM 可接收预处理后的数据, 因此又设置了一个写互斥锁。这种操作方法提高数据处理效率。缓存中的数据再依次送入 DSP 进行压缩运算;

(2) 与图像存储器的接口控制。设计中 FLASH ROM 是地址、数据线复用, 所以采用一片 FPGA 进行总线译码, 将 DSP 处理后的多路地址、数据量写入 FLASH。串并转换是 FPGA 设计中数据流处理一个重要技巧, 实现方法多种多样, 根据数据的排序和数量的要求, 我们选用 FIFO 寄存器作为缓存, 调节各总线上数据流的时序。

系统中 DSP 的 EMIF 接口工作频率为 100 MHz, FLASH 的工作频率为 10 MHz, 接口控制 FPGA 内部 FIFO 大小必须满足缓存要求。原始图像经过 JPEG2000 算法按 3:1 比例压缩后, 数据量为 11 MB/s, DSP 输出数据为 32 位, FPGA 将 32 位转换为 16 位数据, 高 8 位送高 FLASH, 低 8 位送低 FLASH。系统中 FLASH 存储器 K9W8G08U1M 写入速率为 7 MB/s, 两片 FLASH 并行工作完全可以匹配 DSP 的输出速率, 而且不需要 FPGA 内部 FIFO 容量太大, 故不过多会占用 FPGA 内部资源。

3.2 闪存存储器

系统中, FLASH 作为最终图像保存介质, 由于

对体积、重量、工作环境有严格要求,而且数据量大,所以闪存是最好选择。

K9W8G08U1M 是 Samsung 公司开发的目前单片容量最大闪存芯片,它的单片容量高达 1GB,同时还提供有 256M 额外容量。该闪存芯片是通过与非单元结构来增大容量的。它可以在 $300\mu\text{s}$ 内完成一页 2112 个字节的编程操作,还可以在 2ms 内完成 128K 字节的擦除操作,同时数据区内的数据能以 $50\text{ns}/\text{byte}$ 的速度读出。8 位 I/O 端口采用地址、数据和命令复用的方法。片内的写控制器能自动执行写操作和擦除功能,包括必要的脉冲产生,内部校验等,完全不用外部微控制器考虑,简化了器件的编程控制难度。工作电压为 1.8V 或 3.3V,符合当前低功耗的国际潮流。

4 系统设计的几个关键问题

4.1 时钟方案

在任何数字电路设计中,稳定可靠的时钟是至关重要的。

4.1.1 内部时钟方案

使用内部生成的时钟,可能引起设计中的功能和时限问题。由组合逻辑产生的时钟会引入毛刺造成功能问题,而引入的延迟则可能会导致时限问题。

如果使用组合逻辑的输出作为时钟信号,设计中就可能会出现毛刺。同步设计中,寄存器输入数据的毛刺是很正常的,对设计没有什么影响,然而,时钟输入上的毛刺则会导致严重的后果。毛刺可能会违反了寄存器的最小脉冲带宽要求;如果当毛刺到达时钟输入时,寄存器的输入数据正在变化,那么也无法满足建立和保持时限要求。即使设计满足了时限需求,寄存器输出也可能是意想不到的数值,造成设计的其他部分功能的不正常。

由于设计中需要用到很多全局时钟的整数倍分频的时钟,且由于分频的整数倍较大,利用 FPGA 当中自带的 DCM 模块很难实现这样的功能,因此,采用了同步计数器的分频方法,并且,在各个时钟信号输出之前,再加一级寄存器输出,这样的操作就避免了组合逻辑生成的毛刺被阻挡在寄存器的数据输入端口上。

4.1.2 多时钟系统中窄脉冲时钟信号的产生

内部主时钟频率为 200MHz,对于外部 FLASH 存储器的工作频率 10MHz,为保证系统器件的同步性,由系统主时钟分频得到。

由于要求 200M 时钟的每一个上升沿都要进行累加运算,每一个 10M 时钟周期内进行了 20 次累加,而清 0 操作又不能影响累加运算的进行。同时,由于 10M 时钟是由 200M 时钟分频得来的,所以两个时钟的上升沿必然会产生竞争现象,出现累加运算和清 0 操作同时进行的现象,因此必须要避免,加上 VHDL 语言的特点,一个进程当中不能出现两个时钟沿的操作,因此,常规的设计不能满足系统要求。

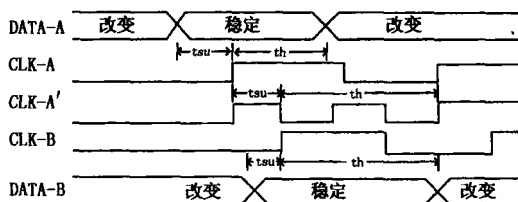


图 2 多时钟系统中窄脉冲时钟信号有建立时间和保持时间的约束条件

图 2 给出多时钟系统的解决方案。主时钟 CLK-A 的上升沿相对于窄脉冲 CLK-B 的上升沿必须有建立时间和保持时间,以避免竞争现象的产生。由于时钟的下降沿不影响触发状态,所以 CLK-A 和 CLK-B 的下降沿之间没有时间上的要求。

具体如下:先将主频倍频到 400M (图中 CLK-A),同时利用计数器产生一个周期 10M 的时钟,再利用倍频后 400M 时钟的下降沿将 10M 时钟的上升沿调整为落后主频上升沿 $1/4$ 个 200M 时钟周期,从而达到系统运算的要求。

4.2 系统中的数据交互

4.2.1 DSP 与 FPGA 之间的数据交换

DSP 和 FPGA 的互连采用了总线的方式,数据交互是通过一个 32 位的双向数据总线来完成的,而要实现双向总线,就需要使用 FPGA 的双向口构造三态总线,使用三态缓冲器实现高、低电平和高阻三个状态。设计中由于使用了两片 FPGA 和一片 DSP,它们之间的数据交互,涉及分配总线问题。如

果分配不当,会导致数据的传输缓慢,严重情况会使总线阻塞,系统失灵。

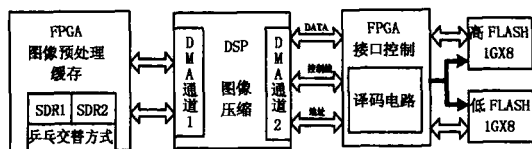


图3 DSP与FPGA之间的数据交换

实时图像压缩存储系统最大的特点是数据量大,而且运算过程中产生的中间数据与源数据量大小相当,限制了片内高速存储区的使用。然而为了提高处理的速度,计算源数据、中间数据必须尽可能多在片内高速存储区进行,因此,必须使用DMA在片内高速存储区与片外低速存储区之间进行数据交换,以提高数据处理速度。

利用DMA的通道分别与两片FPGA进行数据交换,选用块移动操作,将1块连续数据块从一个地址传输到另一个地址,通常用于将数据从外部存储器移到内部存储器,块移动是最简单、最常见的DMA工作方式。

4.2.2 FPGA和FLASH之间的数据交互

DSP输出的数据是32位,20位地址,而K9W8G08只有8个I/O口,所以FPGA需要完成FLASH的时序。常用的处理技巧有乒乓操作、串并转换、寄存器等。本系统选用第一种乒乓操作,如图4所示:

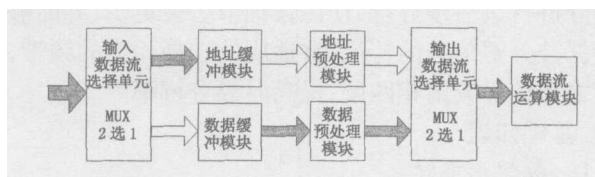


图4 接口控制FPGA内部数据流

输入数据流通过“输入数据选择单元”将数据流等时分配到两个数据缓冲区,数据缓冲模块可以为任何存储模块,比较常用的存储单元为双口RAM(DPRAM)、单口RAM(SPRAM)、FIFO等。在第一个缓冲周期,将输入的数据流缓存到“数据缓冲模块”;在第2个缓冲周期,通过“输入数据选择单元”的切换,将输入的地址缓存到“地址缓冲模块”,同时将“地址缓冲模块”缓存的第1个周期地

址信号通过“地址预处理模块”后,由“输出数据流选择单元”送到“数据流运算处理模块”进行运算处理;在第3个缓冲周期通过“输入数据选择单元”的再次切换,将输入的数据流缓存到“数据缓冲模块”,同时将“地址缓冲模块”缓存的第2个周期的数据通过“输入数据选择单元”切换,送到“数据流运算处理模块”进行运算处理。如此循环。数据(地址)预处理模块的工作是将32位数据和20位地址转化为FLASH认可的多个8位数字信号。

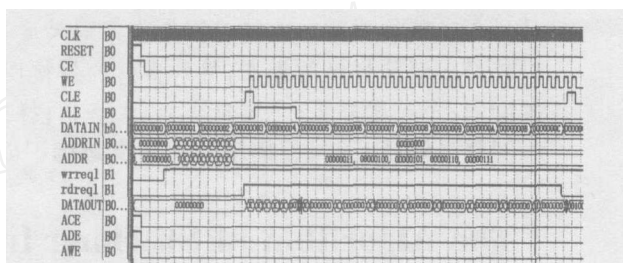


图5 FPGA仿真图

乒乓操作的最大特点是通过“输入数据选择单元”和“输出数据选择单元”按节拍、相互配合的切换,将经过缓冲的数据流没有停顿地送到“数据流运算处理模块”进行运算与处理。把乒乓操作模块当做一个整体,站在这个模块的两端看数据,输入数据流和输出数据流都是连续不断的,没有任何停顿,因此非常适合对数据流进行流水线式处理。

5 结论

DSP + FPGA + FLASH是目前实时图像处理系统中运用最为广泛的系统组成形式,对速度以及灵活性都能够很好的满足。文中所涉及到的时钟及数据交互方面都是此类系统当中存在的关键问题,文中介绍的这些解决方案具有一定的参考价值。

参考文献:

- [1] 李方慧,王飞,何佩琨. TMS320C6000系列DSPs原理与应用[M]. 北京:电子工业出版社,2003,337-390
- [2] 达选福,张伯济,边川平. 高速CCD图像数据存储技术[J]. 光子学报,2003,32(11):1393-1395
- [3] 李刚强,田斌,易克初. FPGA设计中关键问题的研究[J]. 电子技术应用,2003(06):68-71
- [4] 朱耀东,张焕春,经亚技. 基于FPGA的一种高速图形帧存设计[J]. 电子技术应用,2003(02):72-74