

文章编号: 1001-5078(2004)06-0475-03

基于 FPGA 和 DSP 的多用激光雷达信号处理器

唐林波, 夏桂芬, 李 静, 赵保军, 韩月秋

(北京理工大学电子工程系, 北京 100081)

摘 要:介绍一种基于 FPGA 和 DSP 的多用激光信号处理器,通过对 FPGA 和 DSP 进行不同的编程,既可以用于激光成像系统,也可以用于激光测距系统。详细地介绍了其硬件组成以及应用于不同系统时 FPGA 和 DSP 内部的编程实现。

关键词:激光雷达;激光成像;激光测距;FPGA;PCI

中图分类号:P225.2 **文献标识码:**A

Multipurpose Signal Processor of Laser Radar Based on FPGA and DSP

TANG Lin-bo, XIA Gui-fen, LI Jing, ZHAO Bao-jun, HAN Yue-qiu

(Department of Electronic Engineering, Beijing Institute of Technology, Beijing 100081, China)

Abstract: A signal processor of laser radar based on FPGA and DSP was introduced in the paper. When FPGA and DSP were differently programmed, the processor can be applied to both laser imaging system and laser distance measuring system. The hardware composition and the programs of FPGA and DSP when applied to different systems were introduced in detail.

Key words: laser radar; laser imaging; laser distance measuring; FPGA; PCI

1 引 言

由于激光雷达与微波雷达相比,具有极高的分辨能力和抗干扰能力,而且还可在水下工作,因此近年来得到了广泛的应用^[1]。总的来讲,激光雷达主要有激光成像雷达和激光测距雷达等。虽然两种雷达体制不同,但如果能设计出一套比较通用的激光雷达信号处理器,就可以使新型激光雷达系统的研制工作主要集中在光学部分和控制部分,而不需要在信号处理电路上进行重复工作。本文介绍一种基于 FPGA 和 DSP 的多用激光信号处理器,既可用于激光成像系统,也可用于激光测距系统。其中 A/D

的采样速率为 200MSPS,激光成像系统的分辨率为 32 × 64,帧频为 20 帧/s,激光重复频率为 50kHz;激光测距系统的测距范围为 0 ~ 45km,激光重复频率为 10Hz。

2 信号处理器的硬件设计

此系统由两块电路板组成,其中一块为信号处理板,主要由 A/D、FIFO、FPGA、DSP 等组成;另一块为 PCI 接口板,主要由双口 RAM 和 DSP 组成。硬

作者简介:唐林波(1978 -),男,博士研究生,主要研究方向为数字图像处理及高速实时信号处理。

收稿日期:2004-04-28

件框图如图 1 和图 2 所示。

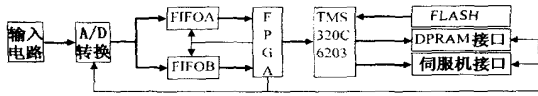


图 1 信号处理板硬件框图

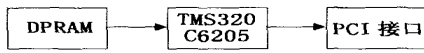


图 2 PCI 板硬件框图

PC 机编程灵活,人机接口方便,而且还能完成图像的显示功能,以及能存储大量的处理结果或原始数据,但其缺点就是不具有实时性。所以本系统采用了主/从计算机结构,主计算机即 PC 机,从计算机指 DSP。主要的处理工作均在信号处理板中完成,PCI 接口板只负责与 PC 机的接口,但由于 C6205 也是一种高性能的 DSP,所以也可以完成部分处理工作。

2.1 信号处理板硬件组成

输入电路主要完成输入信号的调理工作,包括信号的放大以及单端转差分等。由于在激光成像系统中,输入信号速度较高,而且是连续采样,所以在 FPGA 内部分成两路进行乒乓处理,这样可以降低单路的处理速度。因此采用了两路 FIFO,其中一路存奇数次激光脉冲的采样数据,另一路存偶数次激光脉冲的采样数据。而在激光测距系统中,激光重复频率只有 10Hz,为不连续采样,所以只需要一路 FIFO 即可,FPGA 内部也只需要一路进行处理。FPGA 主要完成对信号的预处理以及对整个电路的协调控制。由于 A/D 的采样时钟为 200MHz,且为 TTL 电平,普通的晶振很难达到,需要订做,成本太高。因此本系统由 FPGA 内部的 PLL 将输入的 50MHz 时钟倍频到 200MHz 来提供。FIFO 深度为 256K × 18 位,DSP 采用 TI 公司的 TMS320C6203B,此 DSP 输入时钟可达 300MHz,即处理速度可达 2400MIPS。内部程序 RAM 为 384 KB,数据 RAM 为 512 KB,片上带有一个 XBUS 接口。C6203 是 C62x 系列中性能最高的 DSP。C6203 通过 XBUS 接口与 FPGA 进行数据传输。

2.2 PCI 接口板硬件组成

为了减少两块电路板之间连接线的数量,双口 RAM 采用 Cypress 的 CY7C008,其容量为 64K × 8 位。PCI 接口芯片采用 TI 公司的 TMS320C6205,该芯片处理速度可达 1600MIPS,片上带有 PCI 接口,DSP 只需要对与 PCI 接口有关的寄存器进行配置就可以与 PC 机进行通信,也可以直接由 PC 机对其片内寄存器进行配置,DSP 不需要进行任何编程就可以工作,这时 C6205 只起到一个 PCI 桥接芯片的作用。由于 C6205 也是一片高性能的 DSP,所以也可以进行一部分处理工作。

3 软件实现

3.1 激光成像系统软件实现

激光成像信号处理器由高速 ADC、FPGA 预处理、DSP 成像、DSP 图像处理 and PCI 数字传输等五部分组成,其技术指标及要求如下:采样率为 200MHz;激光重复频率为 50kHz(即 RPT=20μs);分辨率为 32 × 64;帧频为 20 帧/s。

3.1.1 FPGA 编程

在每个 RPT 期间采样 200 × 20 = 4000 点,根据 DSP 给出的要求,通过处理,从中检测出若干个可疑目标点(包含距离与强度),一般为 3~5 点。处理结果存入 FPGA 内部 FIFO。FPGA 内部分为两路进行乒乓处理,两路共用一个 FIFO,这样就可以使 FIFO 内部存的是相邻两个脉冲的处理结果。当处理完一行之后,FPGA 向 DSP 发出一个中断,而不是一个脉冲产生一个中断,这样可以减少中断次数,一帧图像共产生 32 次中断。FPGA 内部的实现框图如图 3 所示。

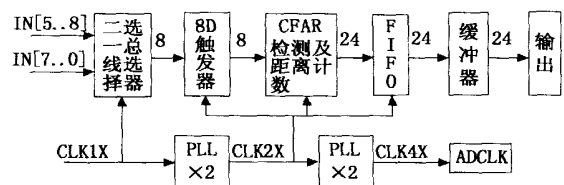


图 3 激光成像系统 FPGA 内部单路实现框图

为了降低传输速度,A/D 采用双通道输出,一次输出 16 位。FPGA 内部首先用一个二选一的总线选择器将 16 位分成两个 8 位。在时钟的正半周,选择高 8 位,负半周选择低 8 位。8D 触发器用来使输入

数据在时钟沿同步。FPGA 读 FIFO 的时钟为 50MHz,一次读入 16 位,而转换为两个 8 位后,处理速度就变为 100MHz,而 A/D 的转换速度为 200MHz,所以锁相环要经过两次倍频。由于 A/D 的采样率为 200MHz,而处理速度为 100MHz,FPGA 内部经过两路乒乓处理刚好能满足要求。

经过恒虚警(CFAR)检测,检测出若干个可疑目标点,同时进行距离计数,将每个可疑目标点的 8 位强度与 16 位距离(实际只需要 12 位)合成 24 位数据存入 FIFO,FIFO 输出的数据经过缓冲器(74245)后输出供 DSP 读取。

3.1.2 DSP 编程

分为成像和处理两部分。1. DSP 成像:将 FPGA 在 1 个 RPT 期间测出的 3~5 点结果合并为一个点:将 50K 点合并为 $32 \times 64 \times 20 = 40 \text{ K}$ 像点;即每帧分辨率为 32×64 ,每秒 20 帧,称为原图像。2. 图像处理:将原图像进行平滑、边缘提取、目标识别等处理工作,处理后的图像称为处理图像。

3.2 激光测距系统软件实现

3.2.1 FPGA 编程

激光测距机的技术要求为:重复频率 10Hz,测距范围不小于 45km。

FPGA 主要用来作为预处理以及控制 A/D 的采样,预处理主要是进行匹配滤波。由于激光重复频率比较低,不需要进行乒乓处理,因此只要 1 路 FIFO。华北光电技术研究所已经研制出新一代激光测距机,该激光测距机有两种工作方式,即单脉冲方式和三脉冲方式。单脉冲方式即每 100ms 发一个脉冲,在这 100ms 之内进行处理,并识别出目标。三脉冲方式即 100ms 内发三个脉冲,三个脉冲之间间隔 300 μ s。即发完三个脉冲之后还有 99.1ms 的时间进行检测识别。这样做的目的是可以实现三脉冲累加,提高信噪比。理论上,N 个脉冲进行相参积累时,信噪比可以提高 N 倍,如果是非相参积累,则信噪比的改善在 N 和 \sqrt{N} 之间^[2]。由于在 1ms 之内目标移动的距离可以忽略,因此可以采用这种方式提高信噪比。

如果是单脉冲工作方式,FPGA 的控制功能包

括:在同步脉冲上升沿,先清空 FIFO,然后控制 A/D 进行采样并将数据存入 FIFO。当采样时间达到 300 μ s(对应目标距离为 45km)时,向 DSP 发一个中断,通知 DSP 来读取。如果 DSP 处理速度及分辨能力足够,则可以适当延长采样时间,这样就可以测到更远距离的目标。DSP 读取之前,FPGA 先对输入数据进行匹配滤波。

如果是三脉冲工作方式,由于是靠三脉冲累加来提高信噪比,所以就不需要进行匹配滤波。那么 FPGA 只需要完成控制功能。其控制功能包括:在同步脉冲上升沿,先清空 FIFO,当同步脉冲变低后控制 A/D 进行采样并将数据存入 FIFO,同时向 DSP 发出中断通知 DSP 来读取 FIFO 中的数据。A/D 一次向 FIFO 写入 16 位,写时钟为 100MHz;DSP 读取 FIFO 的时钟也是 100MHz,一次读入 16 位。所以 DSP 读取速度与 A/D 写入速度相同,这时 FIFO 实际上不起作用。三脉冲累加和目标识别的过程都在 DSP 中完成。

3.2.2 DSP 编程

DSP 内部主要是进行 CFAR 检测、相关检测、特征匹配、匹配跟踪等处理^[3],使得激光测距机在一定的虚警概率下获得最大的检测概率。这就是数字激光测距机比模拟激光测距机优越的地方。

4 结 论

通过对硬件的合理设计,可以仅仅对软件进行不同的编程,就可将激光信号处理器应用于不同的激光雷达系统,使得新型激光雷达的研制工作主要集中于光学部分和控制部分,这样可以大大减少重复的资金投入和人力投入,具有良好的经济效益和社会效益。

参考文献:

- [1] 姜兴山,陈建新.激光雷达及其应用[J].佳木斯大学学报(自然科学版),2000(3):93-96.
- [2] 丁鹭飞,耿富录.雷达原理[M].西安:西安电子科技大学出版社,1997:133.
- [3] 平庆伟,何佩琨,赵保军,等.高分辨中远程激光测距机的数字信号处理研究[J].激光与红外,2003,(8):261-264.