

文章编号:1001-5078(2007)09-0895-03

基于 NIOS II 的高速实时非均匀性校正

童 鹏, 胡以华

(中国科学院上海技术物理研究所, 上海 200083)

摘 要:实时非均匀性校正是红外应用领域的关键技术之一。针对目前公开发表的论文中,非均匀性校正模块化设计程度不高和利用现场可编程门阵列(FPGA)进行校正,速度设计探讨不够深入等问题,展开了深入的研究,最后巧妙地引入 NIOS II 软核微处理器解决了模块化设计问题,并对速度设计进行了深入的探讨。经过优化设计,校正模块能以 111.51MHz 的高速实时地进行校正,具有很大的工程应用价值。

关键词:非均匀性校正;现场可编程门阵列;NIOS II

中图分类号:TN215 **文献标识码:**A

NIOS II High Speed Real-time Nonuniformity Correction

TONG Peng, HU Yi-hua

(Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

Abstract: Real-time nonuniform correction is a key technique for IR imaging. The degree of turning the design into a piece of mold is not high and the speed design study is not enough to make using of FPGA to carry on correcting on the theses that were announced publicly. After thorough study, a soft pit microprocessor named NIOS II is used to resolve the problem of the mold design. And the speed design is studied thoroughly on the thesis. After turning the design excellently, the mold of nonuniform correction can operate with 111.51MHz. And it has very great engineering application value.

Key words: non-uniformity correction; FPGA; NIOS II

1 引 言

红外探测器的非均匀性是指红外焦平面的不同探测元在同一均匀入射辐射下,各探测元的输出响应不一致。红外探测器的非均匀性严重地制约着红外系统的探测性能,在某些应用场合,如果不进行非均匀性校正,探测器将失去探测能力,提取不到特征图像信号,使图像模糊不清。

红外焦平面器件应用至今,提出的校正方法很多,但在工程上适应性很强的算法还没有找到,从国内外公开发表的论文来看,在实时校正中用得最多的还是两点校正法,其他校正方法正在逐步完善和发展,不断提高两点校正的校正精度和速度还是目前的主要研究方向^[2]。

查阅了大量公开发表的论文后,发现目前两点校正法有如下两点研究得还不够深入^[1-2,4]:①模块化设计程度不高,校正系数的解算需外接微处理器,

相关的硬件接口设计复杂,软件设计不灵活;②尽管大家公认不断提高校正精度和速度是目前的主要研究方向,可是,如何提高校正精度和速度的深入论文还没有看到,已发表的论文中,校正速度都不太高,无法满足高性能红外探测器的应用要求。某课题使用了法国 Sofradir 公司 480×6 的线阵红外探测器,该探测器数据输出速率为 64MHz。经过深入研究后,笔者巧妙地引入了 Altera 公司 FPGA 最新技术成果——NIOS II 软核微处理器,将校正实现了模块化设计;并对利用 FPGA 实现两点校正的速度设计和精度设计进行了深入的研究和探讨,最后校正模块能以 111.51MHz 的高速实时工作,具有很大的

作者简介:童 鹏(1977-),男,现为中科院上海技术物理研究所读博士,主要从事光电信号处理,图像处理等领域的研究。
E-mail: tp9717@163.com

收稿日期:2007-03-18

工程应用价值。

2 两点校正的原理和 FPGA 实现方案

两点校正的数学表达为:

$$y_{ij}(\phi) = k_{ij}x(\phi) + b_{ij} \quad (1)$$

其中, y_{ij} 为校正后的输出; ϕ 为辐射通量; $x(\phi)$ 为均匀辐射下的背景响应; k_{ij} 和 b_{ij} 分别为坐标 (i, j) 阵列单元的增益和偏移量^[2,4]。

两点校正法必须在光路中插入一均匀辐射的黑体定标(在工程应用中,使用挡板挡一次,将镜头对准天空一次,即可获得两组温标),通过各阵列元对高温 T_H 和低温 T_L 下的均匀黑体辐射响应计算出 k_{ij} 和 b_{ij} ,然后利用式(1)即可实现非均匀性校正。 k_{ij} 和 b_{ij} 的解算只需解下面的二元一次方程组:

$$y_{ij}(\phi_H) = k_{ij}x(\phi_H) + b_{ij} \quad (2)$$

$$y_{ij}(\phi_L) = k_{ij}x(\phi_L) + b_{ij} \quad (3)$$

解算的结果如下:

$$k_{ij} = \frac{y_{ij}(\phi_H) - y_{ij}(\phi_L)}{x_{ij}(\phi_H) - x_{ij}(\phi_L)} \quad (4)$$

$$b_{ij} = \frac{y_{ij}(\phi_H)x_{ij}(\phi_L) - y_{ij}(\phi_L)x_{ij}(\phi_H)}{x_{ij}(\phi_H) - x_{ij}(\phi_L)} \quad (5)$$

两点校正法的计算量和存储量都比较小,用 FPGA 实现是比较理想的选择方案。两点校正的 FPGA 实现方案如图 1 所示。

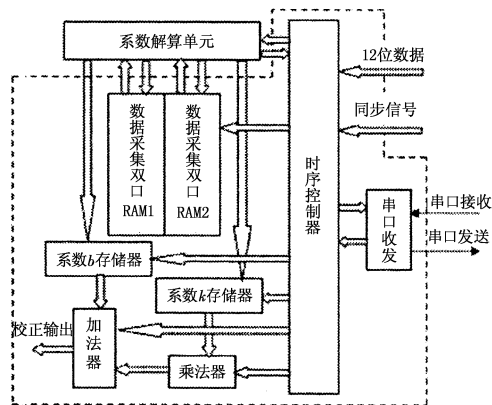


图1 两点校正的 FPGA 实现方案

图 1 中,数据采集双口 RAM1 和数据采集双口 RAM2 用于存储高低温标的图像数据,系数 k 存储器和系数 b 存储器用于存储增益和偏移量,这几个存储器的储存量都比较小,可以配置在 FPGA 的嵌入式 RAM 块资源中。串行接收口用于接收数据采集命令和校正命令,接收的通讯协议为“起始字符+命令+结束字符+校验和”。当接收的命令符合通讯协议时,串行发送口向上位机发送回告信号,发送的通讯协议为“起始字符+接收正确命令+结束字符+校验和”。图 1 中,用虚线框起来的部分都

可以用 FPGA 实现,如果能在不增加设计成本和不影响校正速度性能的情况下,将系数解算单元也设计在 FPGA 中,只预留出简单的硬件接口,那么非均匀性校正即可实现模块化设计。

根据式(4)和式(5),系数解算涉及除法运算。用 FPGA 设计除法运算器将消耗 FPGA 大量的逻辑资源和布线资源,以 Altera 公司的 FPGA 为例,一个 16 位的除法运算器约消耗 1000 个 LE,为了提高除法器运行的稳定性和速度性能,加上 4 级流水线,逻辑资源和布线资源的消耗量将成倍增加。当逻辑资源尤其是布线资源严重消耗时,FPGA 的速度性能将大幅度下降,有时甚至不能适配器件,使设计失败。因此,用 FPGA 设计硬件除法器进行系数解算的方案是不合理的。Altera 公司刚推出的 32 位嵌入式软核微处理器 NIOS II 为本课题提供了很好的解决方案。该处理器能以极小的硬件代价换取很高的性能(600~700 个 LE 的逻辑资源和少量布线资源)。目前,FPGA 的容量都比较大,设计剩余的硬件资源往往远多于 600~700 个 LE,所以设计通常不会增加硬件成本。NIOS II 不同于传统微处理器,有如下特点^[5]:

(1) 提供了大量的免费 IP 核,例如微处理器核 NIOS II,定时/计数器,串口, DMA, SDRAM, SRAM, SBRAM, FLASH 控制器等,用户可以根据需要选择 IP 核搭建自己的嵌入式系统,系统具有很大的灵活性;

(2) 提供了界面友好的硬件和软件设计开发环境,硬件设计流程和传统的 FPGA 设计流程相同,软件设计支持标准 C 语言编程,开发环境提供了大量的库函数供用户调用,支持 JTAG 调试,软件调试方法和现有流行微处理器的调试方法相同,除此之外,配合硬件环境,可以完成很多设计仿真,这项功能是大部分传统微处理器不具备的;

(3) 支持嵌入式操作系统的移植;

(4) 支持 32 级中断。

根据需要,课题选择了串口(用 FPGA 设计一个稳定的串口收发器并不容易,调用 IP 核后可以避免该设计,简化时序控制器的设计),SBRAM 控制器等 IP 核。经过上述简化设计后,校正模块相当于一颗 SOC 芯片,在硬件设计上只有输入输出数据信号接口、同步控制信号接口和串行收发口;在软件设计上只需接收几个串口命令。

3 校正速度和精度设计

FPGA 设计中,从输入到输出延时最长的路径是制约电路速度性能的关键路径,提高 FPGA 信号

处理速度的基本方法是减小关键路径的延时。减小关键路径延时的方法主要有三种^[5]:①优化设计代码;②改变逻辑综合布线方式;③选用速度等级更高的 FPGA 芯片。

据相关资料和笔者的设计体验,修改设计代码是提高速度性能的根本方法。关于代码优化,总结了如下几条设计经验:

(1) 尽量调用开发环境中的 IP 核进行设计;

(2) 组合逻辑电路产生的延时远比时序逻辑电路产生的延时长。比较复杂的组合逻辑电路经常是制约系统速度性能的主要影响因素,在代码设计中,将复杂组合逻辑电路分解成小的组合逻辑电路,然后使用时钟进行同步化,将电路操作分几个时钟周期完成。例如,并行乘法器、加法器和位数比较高的比较器经逻辑综合后,全部由比较复杂的组合逻辑电路构成,利用这种设计思路进行处理,电路的速度性能会大幅度提高;

(3) 有时,部分时序逻辑电路也会产生很大的延时,例如位数比较高的地址发生器。这种电路可以分多个进程设计,将位数比较高的计数器分解成两个或两个以上的小计数器;

(4) 进程中尽量避免使用嵌套级数比较多的条件判断语句,条件判断语句有优先级,嵌套级数太多,综合器会根据优先级,产生多级串行结构的逻辑电路,增加电路延时。将这种嵌套级别比较多的代码分成多个进程,将串行电路变成并行电路,这种代码风格经常会明显改善电路的速度性能;

(5) 完整的逻辑描述是一个良好的代码风格,在条件判断语句中不完整的逻辑描述可能会引入不必要的锁存器,产生不必要的延时;

(6) 设计中,所有进程尽量采用时钟的同一个沿触发;

(7) 进程中最好使用一个敏感变量,而且最好使用系统时钟作为敏感变量,最好不要使用异步复位,很多教科书中经常违背这条设计规则;

(8) 时钟设计分离,将影响电路速度性能的电路上用别的时钟驱动,例如,校正电路驱动时钟和 NIOS II 驱动时钟分别用不同的时钟。

经过代码优化后,电路的速度性能如果还不能满足应用要求,集成开发环境 Quartus II 提供了强大的综合器和适配器,通过修改综合和适配设置,电路的运行速度一般都有明显的提高。

如果通过修改逻辑综合适配方式,电路性能仍

不能满足应用要求,可以调用 Quartus II 中提供的逻辑锁,将影响速度性能的关键电路模块进行逻辑锁定,单独优化,满足系统应用要求后,然后再进行系统优化^[5]。

设计经上述处理后,如果还不能满足系统速度性能要求,可以考虑选用速度等级更高的 FPGA 芯片。

精度设计可以通过调用 FPGA 片内更多的嵌入式 RAM 块资源,增加校正系数的字长来解决。

4 实验结果

通过上述优化设计,课题选用了 Altera 公司高性价比 Cyclone 系列速度等级最低的 EPIC6Q240C8 完成了全部设计。在校正系数的定标字长为 16 位的情况下,校正模块能以 111.51MHz 的速度工作。图 2 是校正前后图像显示的结果,从图像显示的结果可以看出,校正设计完全可以满足应用要求。

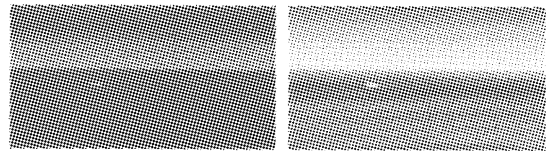


图 2 校正前后图像显示的结果

5 结论

本课题为高数据输出率的长行列红外探测器提供了一种模块化、高精度、高速度、高集成度、体积小、功耗低、可靠性高、硬件可移植的实时校正方案,弥补了以往文献资料的不足。课题的设计思路如果应用在面阵红外探测器的校正设计中,也可以达到大幅度简化硬件设计的目的。除此之外,课题突破了传统 FPGA + MCU 的应用模式,以片上系统的方式对 FPGA 的应用作出了探讨,该应用给嵌入式工程师提供了新的解决方案。

参考文献:

- [1] 石岩,张天序,等. 红外焦平面非均匀性两点校正法分析 RFPGA 实现[J]. 激光与红外,2005,(2):100 - 103.
- [2] 谈新权. 红外图像非均匀性校正方法综述[J]. 红外技术,2002,(35):189 - 193.
- [3] 孔令彬,易新建,等. 利用 FPGA 实现红外焦平面阵列实时非均匀性校正[J]. 光电工程,2002,(29):39 - 42.
- [4] 王炳健,刘上乾,等. 基于 FPGA 的红外焦平面阵列实时非均匀性校正[J]. 半导体光电,2006,(27):79 - 81.
- [5] Altera Digital Library[Z]. Altera Corporation,2006.