

# 基于 FPGA 的 DVI 显示在红外监视系统中的应用

孙志亮, 单金山

(华北光电技术研究所, 北京 100015)

**摘要:**介绍了一种 DVI 标准视频信号显示系统。该系统采用 FPGA 编程控制技术, 能将红外探测设备采集到的非标准数字视频信号转换为标准数字视频信号, 并通过 DVI 接口在数字显示器上直接显示, 满足了在红外搜索跟踪系统中对视频信号的观测以及对目标的监视的需要, 在红外监视系统中有很好的应用前景。

**关键词:**DVI; 行场同步; TMDS 链路

**中图分类号:**TN873+.5 **文献标识码:**A

## Application of DVI Display in the Infrared Scouting System Based on FPGA

SUN Zhi-liang, SHAN Jin-shan

(North China Research Institute of Electro-optics, Beijing 100015, China)

**Abstract:** A DVI video signal display system is described. The system, adopted FPGA program control technology, can transfer non-standard infrared digital video signal collected by all kinds of collectors into standard digital video signal, and then display on a digital display through a DVI interface. Thus it meets the demands in the aspects of observing video signal and scouting target in the infrared searching and tracking system and there will be a good future in the infrared scouting system.

**Key words:** DVI; row & field synchronization; TMDS chain

### 1 引言

在红外监视系统中,常常需要显示设备对视频图像进行实时显示,这样可以通过跟踪和告警技术直接实时观测到监视目标的位置和轨迹;通过图像拼接和字符镶嵌可以实现显示窗口的分窗与字符显示的功能。因此视频显示能有效地进行人机交互,实现信息展示最大化,在红外监视系统中发挥着非常重要的作用。

国内红外监视系统中最常用的显示设备主要是标准电视监视器,它可以显示 PAL 制和 NTSC 制的图像信号,最大分辨率为  $768 \times 576$ 。随着红外探测器制造技术的不断发展,探测器像元规模不断增加,探测图像分辨率可以达到  $1024 \times 768$ ,  $1280 \times 1024$  甚至更高,完全超出了标准电视监视器的显示范围,无法采用 TV 显示。因此迫切需要寻找一种新的具

有更高分辨率的显示设备来取代普通模拟电视完成上述功能。

目前电脑显示器都包含模拟和数字接口。模拟显示虽然比较普及但是有不可解决的弊端:计算机内部产生的数字图像信息被显卡中的 D/A 转换器转变为模拟的 RGB 三原色信号和行、场同步信号,接着通过电缆传输到显示设备中,标准电视监视器和 CRT 显示器等模拟显示设备可以直接将接收到的模拟信号进行显示,但是对于数字显示设备比如液晶显示器来说,通过模拟接口接收到的模拟信号又需要经过 A/D 变换转换为数字信号才能进行显示,经过 D/A 和 A/D 两次转换后不可避免地造成

**作者简介:**孙志亮(1982-),男,在读研究生,主要从事硬件设计和图像显示处理的研究。E-mail:suziking@126.com

**收稿日期:**2008-02-27; **修订日期:**2008-05-04

了图像细节的损失。为了减少这种损失,最好的方法就是直接将产生的数字图像信号进行传输和显示。因此,无需 D/A 和 A/D 转换的数字显示系统的设计就变得极为必要。

市场上出现过的数字显示系统的主流接口标准主要有 P&D(plug and display)、DFP(digital flat panel)和 DVI(digital visual interface)三种。这三种数字接口都采用 TMD S 传输协议,但 P&D 由于价格昂贵且技术指标落后,已经基本上被淘汰;DFP 的最大分辨率仅为 SXGA(1280 × 1024),且与常用的模拟 VGA 接口(15 针状的 D 型接头)不匹配,适用范围不广,也基本处于淘汰的边缘。DVI 图像接口是 Intel 等公司联合推出的数字式显示器接口,它不仅能与 P&D 和 DFP 兼容,而且与模拟 VGA 也有良好的兼容性,因此极具发展前途。本文简单介绍 DVI 显示的原理及其在红外监视系统中的实现方法。

## 2 DVI 显示原理

DVI(digital visual interface)即数字视频接口是由 Intel 等公司组成的数字显示工作组 DDWG(digital display working group)提出的新一代高性能数字视频显示接口技术。采用数据直流平衡编码技术,将低频率的参考时钟与高编码率的数据流同步传输,通过不同的编码码组将显示数据与控制数据分时传输,在接收端通过特殊码型组合同步数据、恢复像素时钟、分离显示同步控制信号。

DVI 标准是建立在 Silicon Image 公司的 Panel Link 接口技术之上的。此技术使用最小化传输差分信号 T. M. D. S. (transition minimized differential signaling)的模式作为最基本的电气连接方式<sup>[1]</sup>。T. M. D. S. 的核心是采用将每通道的 8 比特数据最小化跃迁至 10 比特后进行编码处理。由于数据采用了最小化迁移过渡,不仅降低了数据之间的干扰、冲突,而且降低了不必要的辐射,具有良好的 EMC 性能,使用普遍传输电缆传输距离达 15m。单个 TMD S 链路由 4 个通道组成(R, G, B 和时钟通道),可以通过高达 165MHz 的像素时钟速率(数据传输速率达到 1.65Gb/s),图像质量可支持到 1920 × 1080@60Hz 显示格式,足以完成当今所有的主流显示设备的信号传输问题。单链路 T. M. D. S. 结构如图 1 所示<sup>[2]</sup>。

双 T. M. D. S. 链路由 7 个通道组成(双 R, G, B 以及统一的时钟信号),可以提供高达 330MHz 的带宽(数据传输速率达到 3.3Gb/s),图像质量达到 QXGA(2048 × 1536 @ 75Hz)的数字信号传输通

道<sup>[3]</sup>。

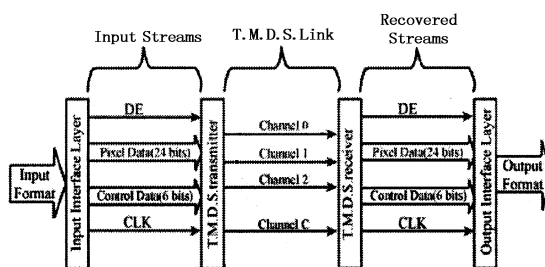


图1 单链路 T. M. D. S. 结构

## 3 DVI 显示系统硬件设计

硬件设计中显示芯片采用 TI 公司的视频编码芯片 TFP410, FPGA 将接收到的视频数据缓存入外部存储器 SRAM, 在设定的时间读出来并送入编码芯片 TFP410 进行编码, 将编码数据通过 DVI 接口进行传输和显示, 这个过程实际上就是非标准视频数据转化到标准视频数据的过程。FPGA 对两块 SRAM 进行乒乓读写, 可以使视频数据得到无缝缓冲和处理。

硬件结构流程框图如图 2 所示。

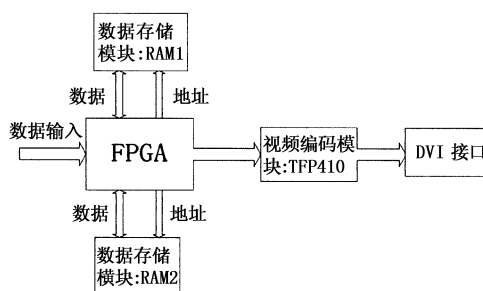


图2 DVI 显示系统流程图

FPGA 内部主要由读/写存储、读/写的状态机控制、时钟产生和显示控制等功能模块构成, 在设计中采用流水线技术来提高图像处理的并行性。根据系统总体要求, 采用自上至下(Top Down)的设计方法, 将设计内容细化最终使得硬件功能在软件上实现, 完全满足实时图像处理的要求。

## 4 DVI 显示系统软件设计

### 4.1 显示芯片管脚设置

软件设计主要针对 TFP410 芯片的使用。TFP410 是 TI 公司生产的数字发送器, 可以对数字视频数据进行编码并发送, 支持(25 ~ 165) MHz 像素频率; 具有 12 位双边和 24 位单边两种输入模式; 输入电压可以在 1.1 ~ 1.8V 之间调节(能有效抑制 EMI), 也可以是标准 3.3V 的 CMOS 电平; 输入时钟可以是差分或者单边输入两种模式; 具有外部引脚设置和 I<sup>2</sup>C 寄存器设置两种配置方式; 具有热插拔检测功能。

TFP410 主要通过 DE 管脚的电平高低来决定

发送何种信号:当 DE 为高电平 (DE = 1) 时,发送像素编码数据;当 DE 为低电平 (DE = 0) 时,发送编码的行、场同步信号以及 CTL[3:1] 信号。ISEL 高低决定是否使用 I<sup>2</sup>C 对芯片进行配置。当 ISEL 为低电平时,I<sup>2</sup>C 设置无效,需要设置如下外部引脚对芯片进行配置:BSEL 的高低决定选择 24 位单边还是 12 位双边输入模式;DSEL 的高低决定选择单边输入还是差分输入时钟;EDGE 的高低决定在输入时钟管脚 IDCK + 的上升沿还是下降沿触发;VREF 决定输入电压模式。详细配置参数如表 1 所示<sup>[4]</sup>。

表 1 基本管脚配置

| V <sub>REF</sub> /V | BSEL | EDGE | DSEL | BUS WIDTH | LATCH MODE  | CLOCK EDGE | CLOCK MODE   |
|---------------------|------|------|------|-----------|-------------|------------|--------------|
| 0.55 ~ 0.9          | 0    | 0    | 0    | 12bit     | Dual-edge   | Falling    | Differential |
| 0.55 ~ 0.9          | 0    | 0    | 1    | 12bit     | Dual-edge   | Falling    | Single-ended |
| 0.55 ~ 0.9          | 0    | 1    | 0    | 12bit     | Dual-edge   | Rising     | Differential |
| 0.55 ~ 0.9          | 0    | 1    | 1    | 12bit     | Dual-edge   | Rising     | Single-ended |
| 0.55 ~ 0.9          | 1    | 0    | 0    | 24bit     | Single-edge | Falling    | Single-ended |
| 0.55 ~ 0.9          | 1    | 0    | 1    | 24bit     | Single-edge | Falling    | Differential |
| 0.55 ~ 0.9          | 1    | 1    | 0    | 24bit     | Single-edge | Rising     | Single-ended |
| 0.55 ~ 0.9          | 1    | 1    | 1    | 24bit     | Single-edge | Rising     | Differential |
| 3.3                 | 0    | 0    | X    | 12bit     | Dual-edge   | Falling    | Single-ended |
| 3.3                 | 0    | 1    | X    | 12bit     | Dual-edge   | Rising     | Single-ended |
| 3.3                 | 1    | 0    | X    | 24bit     | Single-edge | Falling    | Single-ended |
| 3.3                 | 1    | 1    | X    | 24bit     | Single-edge | Rising     | Single-ended |

本设计采用外部管脚配置方式,24 位单边输入模式,单边输入时钟,下降沿触发。以上控制管脚也可以通过 I<sup>2</sup>C 设置寄存器来控制:将 ISEL 设为高电平,此时 I<sup>2</sup>C 有效,外部控制引脚无效,通过 I<sup>2</sup>C 可以在芯片内部对这些管脚对应的寄存器值进行设置,经验证得到同样效果。

值得注意的是,差分输出电压调整电阻在不同应用中的取值略有不同,推荐在台式机应用中,接 510Ω 的电阻到地;笔记本型电脑应用中,接 680Ω 电阻到地<sup>[5]</sup>。

4.2 信号波形产生

目前通用的显示器显示标准如 2 表所示。

表 2 通用显示器标准

| FORMAT | PIXELS      |
|--------|-------------|
| VGA    | 640 × 480   |
| SVGA   | 800 × 600   |
| XGA    | 1024 × 768  |
| SXGA   | 1280 × 1024 |
| UXGA   | 1600 × 1200 |
| HDTV   | 1920 × 1080 |
| QXGA   | 2048 × 1536 |

由于 DVI 显示格式支持几乎所有的现行显示格式,因此对以上分辨率都支持。存储器选用 1M × 16 位,对于 10 位以上像素编码来说,容量为 512K,则显示 SVGA (即 800 × 600 分辨率) 格式的图像存储空间足够大,因此本设计采用 800 × 600@60Hz 分辨率,具体参数可以参考行、场波形时序参数表,如表 3 所示。

表 3 行、场同步参数

| format          | pixel clock /MHz | horizontal (in pixels) |             |            |            | vertical (in lines) |             |            |            |
|-----------------|------------------|------------------------|-------------|------------|------------|---------------------|-------------|------------|------------|
|                 |                  | active video           | front porch | sync pulse | back porch | active video        | front porch | sync pulse | back porch |
| 640 × 480, 60Hz | 25.175           | 640                    | 16          | 96         | 48         | 480                 | 11          | 2          | 31         |
| 640 × 480, 72Hz | 31.500           | 640                    | 24          | 40         | 128        | 480                 | 9           | 3          | 28         |
| 640 × 480, 75Hz | 31.500           | 640                    | 16          | 96         | 48         | 480                 | 11          | 2          | 32         |
| 640 × 480, 85Hz | 36.000           | 640                    | 32          | 48         | 112        | 480                 | 1           | 3          | 25         |
| 800 × 600, 56Hz | 38.100           | 800                    | 32          | 128        | 128        | 600                 | 1           | 4          | 14         |
| 800 × 600, 60Hz | 40.000           | 800                    | 40          | 128        | 88         | 600                 | 1           | 4          | 23         |

参照表 3 最后一行数据标准可以设计出如图 3 所示的波形。

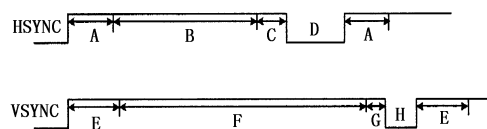


图 3 行、场同步波形

HSYNC 和 VSYNC 分别代表行、场同步信号。对于行同步来说,B 代表行有效数据为 800 个像素,C 代表前均衡为 40 个像素,A 代表后均衡为 88 个像素,D 代表同步脉冲为 128 个像素;对于场同步来说,F 代表场有效数据为 600 行,G 代表前均衡为 1 行,E 代表后均衡为 23 行,H 代表同步脉冲为 4 行。视频数据是在行有效和场有效数据同时有效时进行传输的。

4.3 帧缓存控制

本系统方案以采用线性扫描机制的热像仪构成的红外系统为例进行终端显示设计,由于线性扫描机制的热像仪输出的视频数据按列写入帧缓冲存储器,而最终显示数据要求按行从帧缓冲存储器中读

出,因此若要读出数据地址连续,写入数据地址就不能连续(对于凝视型热像仪则可以完全按从小到大的地址顺序写入和读出数据)。以在显示器屏幕中心显示  $600 \times 400$  像素的方框测试信号为例,若要按从小到大的地址顺序读出数据,则写入数据时地址顺序为:

$$\begin{aligned} & 600 \times 0, 600 \times 1, 600 \times 2, \dots, 600 \times 399; 600 \times \\ & 0 + 1, 600 \times 1 + 1, 600 \times 2 + 1, \dots, 600 \times 399 + 1; \\ & \dots; \\ & 600 \times 0 + 599, 600 \times 1 + 599, 600 \times 2 + 599, \\ & \dots, 600 \times 399 + 599. \end{aligned}$$

写控制信号与写地址之间的关系如图4所示(在写控制信号的上升沿向对应地址写数据)。

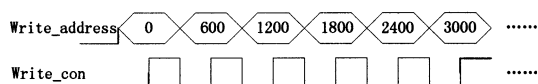


图4 写控制信号与写地址之间的关系

而读取数据时地址顺序为:  $0, 1, 2, \dots, 600 \times 400 - 1$ 。每600个地址对应数据读出以后显示为一行。读控制信号与读地址之间的关系如图5所示(读控制信号的在上升沿从对应地址读取数据)。

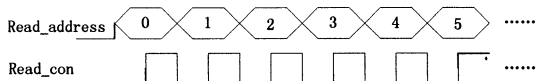


图5 读控制信号与地址之间的关系

本设计采用SRAM作为帧缓冲存储器,SRAM是单口存储器,读写不能同时进行,因此需要FPGA通过状态机控制两块SRAM进行乒乓读写操作:每经过一场图像的传输时间以后,切换读写SRAM,如:第一场读RAM1,写RAM2,则第二场读RAM2,写RAM1,第三场又读RAM1,写RAM2,如此切换。乒乓操作的最大特点是,通过输入数据选择单元和输出数据选择单元,按节拍相互配合切换,把经过缓冲的数据流没有时间停顿地送到显示处理单元,进行显示处理。把乒乓操作模块当作一个整体,站在这个模块的位置看两端的数据,输入数据流和输出数据流都是连续不断的,没有任何停顿,因此非常适合对数据流进行流水线式处理,能高效实时地完成大量视频数据的无缝缓冲和处理<sup>[6]</sup>。

上述方框信号测试程序仿真无误后即可直接下载到FPGA中,将输出信号通过DVI接口连接到显示器数字接收口,加电启动后,屏幕上出现了测试方块图(如图6所示),即在中心显示出  $600 \times 400$  的白色区域,该图像清晰稳定,很好地完成了对DVI显示系统的测试。



图6  $800 \times 600$  分辨率的屏幕上显示  $600 \times 400$  的测试图像

## 5 总结与展望

在周视扫描体制的红外监视系统中,热像仪采集处理的每场的数据量非常大,分辨率非常高,为了达到实时监控的目的,必须采用图像压缩拼接的方法,将图像关键内容在高分辨率的显示设备上显示。本显示方案可以实现了  $360^\circ \times 60^\circ$  空域图像的超宽显示,能将32帧分辨率为  $320 \times 256$  的图像的压缩、拼接,在同一显示器上同时显示,分辨率为  $1024 \times 640$ ,满足实时监控的要求。

由于数字显示比模拟显示有更大的优势,因此数字显示将是视频显示的发展趋势。最近市场上已经出现了基于DVI的新型数字接口——HDMI接口,它在DVI的基础上增加了音频输出,并已用于多种显示产品中。但是和它相比,DVI接口显示以其低廉的价格和便捷的显示功能仍将在很长时期内占有广大市场。

### 参考文献:

- [1] DDWG. Digital Visual Interface DVI Revision 1.0 [M], 1999, 4.
- [2] 冯永茂,丁铁夫,王瑞光,等. 数字视频接口 DVI1.0 [J]. 电子技术应用, 2003(9), 54 - 57.
- [3] 崔选选,费文晓,曹先国,等. 数字视频接口 [J]. 广播与电视技术, 2006, 3: 107 - 110.
- [4] Texas Instruments. TFP410, TI PannelBus DIGITAL TRANSMITTER [M]. SLDS145A - JANUARY, 2002.
- [5] 刘平,刘涛,马积勋. 基于FPGA的数字视频接口(DVI)测试向量发生器 [J]. 现代电子技术, 2003(5), 79 - 81.
- [6] 王智,罗新民. 基于乒乓操作的异步FIFO设计及VHDL实现 [J]. 电子工程师, 2005(6): 13 - 16.
- [7] 魏涛. 数字视频接口标准与高宽带数字内容保护规范 [J]. 电视技术, 2005, (5): 31 - 34.
- [8] 夏宇闻. Verilog 数字系统设计教程 [M]. 北京: 北京航空航天大学出版社, 2003. 7.