

具有分时背景抑制功能的单元电路设计

周杨帆, 谢亮, 夏晓娟, 孙伟锋

(东南大学国家专用集成电路系统工程技术研究中心, 江苏 南京 210096)

摘要:介绍了一种具有分时背景抑制功能的单元电路,该单元电路适合于大规模2D红外焦平面阵列。在减电流电路设计中,自级联管采用长沟道设计,工作在强反型区,各单元电路的减去电流不易受到工艺偏差的影响,有效地降低了具有分时背景抑制功能的单元电路间的背景抑制非均匀性(BSUN)。在背景电流为100 nA,积分时间为2.7 ms,减去电流为3.28 μ A,构成自级联管的两个晶体管阈值电压的最大失配均为10 mV时,具有分时背景抑制功能的单元电路间的BSNU为3.31%。

关键词:背景抑制;背景电流;读出电路;红外焦平面阵列

中图分类号:TN215 **文献标识码:**B

Design of pixel readout circuit with time-sharing background suppression

ZHOU Yang-fan, XIE Liang, XIA Xiao-juan, SUN Wei-feng

(National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China)

Abstract: A pixel readout circuit with time-sharing background suppression has been introduced for 2D infrared focal plane array in this paper. In the design of subtracted current circuit, the self-cascode transistors are designed in long channel and works in their strong inversion mode, making the subtracted current insensitive to variations in process. This can effectively reduce the background suppression non-uniformity (BSNU) of pixel-to-pixel readout circuits. With 100 nA background current, 3.28 μ A subtracted current, 2.7 ms integration time, and 10 mV threshold voltage mismatch of self-cascode transistors, the BSNU can be as low as 3.31%.

Key words: background suppression; background current; readout circuit; infrared focal plane array

1 引言

在许多红外成像应用中,红外成像系统必须探测隐藏在高背景下的微弱信号。特别是对于一些长波红外探测器,背景电流(包括背景辐射电流和探测器自身暗电流)通常比信号电流大几个数量级^[1-2]。此时,红外焦平面阵列工作于背景限,其噪声由光子噪声决定^[3]。因此,在电路的积分过程中对背景电流进行抑制,只对信号电流积分,能延长积分时间,提高系统的信噪比、动态范围、灵敏度及对比度^[4-7]。但是^[4-7]所提出背景抑制技术中的减去

电流^[8]均易受工艺偏差的影响,单元电路间具有较大的背景抑制非均匀性(background suppression non-uniformity, BSUN)。背景抑制非均匀性定义为单元电路间的最大背景抑制误差与背景电流的比值。

为了克服已有方法的缺点,本文设计了一种新型具有分时背景抑制功能的单元电路,它受工艺偏

作者简介:周杨帆(1982-),男,土家族,在读硕士研究生,主要从事数模混合集成电路及功率集成电路的设计。E-mail: yangfan_zhou@163.com

收稿日期:2009-05-14;修订日期:2009-06-24

差的影响小,能有效地降低单元电路间的背景抑制非均匀性。

2 具有连续背景抑制功能的单元电路

目前,连续背景抑制技术被广泛应用于红外焦平面阵列中,其原理是在积分过程中减电流电路不关断,连续导通,减去电流等于背景电流,背景电流流入减电流电路,而不通过积分电容,从而实现背景抑制。

连续背景抑制技术的实现形式多样,图1为简单具有连续背景抑制功能的单元电路图。单元电路包括BDI输入结构,注入管 M_{INT} ,采样保持开关管 M_{SH} ,行选择开关管 M_{RSEL} ,复位开关管 M_{RST} ,积分电容 C_{INT} ,由 M_1, M_2 构成的减电流电路。BDI输入结构能为红外探测器提供稳定的偏压,并且可以得到近似为1的注入效率^[9]。采用单级套筒式共源共栅运算放大器构成BDI输入电路。 M_1, M_2 为自级联结构,产生的减去电流 I_{sub} 基本不受积分电压 V_{INT} 的影响,可以保证单元电路具有良好的线性度,并提高了背景抑制的精确度。

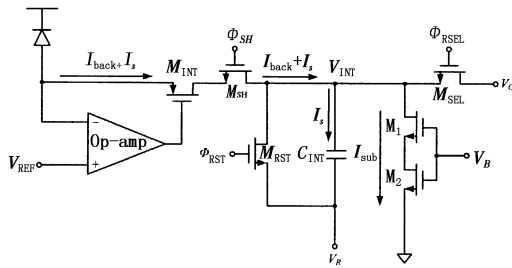


图1 具有连续背景抑制功能的单元电路

在电路的积分过程中,减电流电路连续导通,调节 V_B 使得减去电流 I_{sub} 等于背景电流 I_{back} ,背景电流 I_{back} 流入减电流电路,只剩信号电流 I_s 对积分电容积分,实现背景抑制。

连续背景抑制技术的缺点在于其减去电流必须等于背景电流,取值非常小,这样 M_1, M_2 只能工作在亚阈值区,减去电流与阈值电压成指数关系,受工艺偏差的影响,各单元电路间减去电流存在较大的变化,背景抑制量不一致,具有较大的背景抑制非均匀性(BSNU)。

3 具有分时背景抑制功能的单元电路设计

图2给出了具有分时背景抑制功能的单元电路图,其结构与图1基本相同,不同点在于减电流电路增加了一个开关管 M_3 。在电路的积分过程中,通过信号 Φ_p 控制开关管 M_3 ,以决定减电流电路的导通与关断,从而分时减去背景电流在积分电容上累积

的积分电荷。

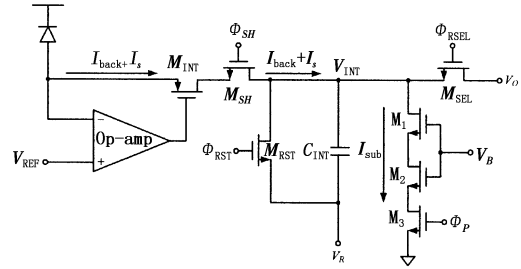


图2 具有分时背景抑制功能的单元电路

Φ_p 为高电平时,开关管 M_3 导通, V_B 为固定偏置, M_1, M_2 组成的自级联管会产生恒定的减去电流 I_{sub} 。由于 M_1, M_2 为自级联结构, I_{sub} 基本不受积分电压 V_{INT} 的影响,保证了单元电路的线性度及背景抑制精确度。

3.1 线性度

由于减电流电路分时开启,其导通时间极短,允许 $I_{sub} \gg (I_{back} + I_s)$,可以使 M_1, M_2 工作在强反型区。自级联管的等效小信号输出阻抗可表示为:

$$r_{sel} = g_{m1} \cdot r_{o1} \cdot r_{o2} = \sqrt{2\mu_n C_{ox} I_{sub} \left(\frac{W_1}{L_1}\right)} \cdot \frac{1}{\lambda_1 I_{sub}} \cdot \frac{1}{\lambda_2 I_{sub}} \quad (1)$$

其中, μ_n 为电子迁移率; C_{ox} 为单位面积栅氧化层电容; W_1, L_1 分别为 M_1 的沟道宽度与长度, λ_1, λ_2 分别为 M_1, M_2 的沟道长度调制系数。

将 $\lambda = K/[L(N_{CH})^{1/2}]$ ^[10] 代入式(1),可得:

$$r_{sel} = \sqrt{\frac{2\mu_n C_{ox}}{I_{sub}^3} W_1 L_1} \cdot \frac{L_2 N_{CH}}{K_1 K_2} \quad (2)$$

其中, L_2 为 M_2 的沟道长度; N_{CH} 为沟道掺杂浓度; K_1, K_2 分别为 M_1, M_2 的尺寸系数。因此,为了提高自级联管的输出阻抗,降低积分电压 V_{INT} 对减去电流 I_{sub} 的影响,提高单元电路的线性度,应增大 M_1 的尺寸及 M_2 的沟道长度。与传统级联管相比,自级联管只需一个偏置电压,简化了电路,更易于使用。

3.2 背景抑制非均匀性

由于减去电流 I_{sub} 取值较大(可以达到 μA 级), M_1, M_2 工作在强反型区,减弱了阈值电压 V_T 对减去电流 I_{sub} 的影响。减去电流 I_{sub} 可表示为:

$$I_{sub} = \frac{1}{2} \mu_n C_{ox} \frac{W_2}{L_2} (V_{GS2} - V_{T2})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W_2}{L_2} (V_B - V_{T2})^2 \quad (3)$$

其中, V_{T2} 为 M_2 的阈值电压。 V_{T2} 变化 $|\Delta V|$ ($V_{T2} \pm$

ΔV 时 I_{sub} 变化量的绝对值 $|\Delta I_{sub}|$ 与 I_{sub} 的比值可表示为:

$$\frac{|\Delta I_{sub}|}{I_{sub}} = \frac{\frac{1}{2}\mu_n C_{ox} \frac{W_2}{L_2} |[V_B - (V_{T2} \pm \Delta V)]^2 - (V_B - V_{T2})^2|}{\frac{1}{2}\mu_n C_{ox} \frac{W_2}{L_2} (V_B - V_{T2})^2} = \frac{2\Delta V}{V_B - V_{T2}} \mp \frac{(\Delta V)^2}{(V_B - V_{T2})^2} \quad (4)$$

当 $V_B - V_{T2} \gg \Delta V$ 时,式(4)可简化为:

$$\frac{|\Delta I_{sub}|}{I_{sub}} \approx \frac{2\Delta V}{V_B - V_{T2}} \quad (5)$$

由式(5)可以看出,增加 M_2 的沟道长度,减小 W_2/L_2 ,增大 $V_B - V_{T2}$,可以减小阈值电压失配对减去电流的影响,降低单元电路间的背景抑制非均匀性。

3.3 工作原理

具有分时背景抑制功能的单元电路的工作时序及相应的积分电压 V_{INT} 如图3所示。在积分开始之前, Φ_{SH} 跳变为高电平使 M_{SH} 导通,接着 Φ_{RST} 跳变为低电平 M_{RST} 关断积分开始,背景电流和信号电流 ($I_{back} + I_s$) 同时在积分电容 C_{INT} 上积分。在积分开始后的 t_1 时刻, Φ_p 第一次跳变为高电平 M_3 导通开启减电流电路,其脉宽为 t_2 ,周期 $T_p = t_1 + t_2$ 。在减电流电路重复工作 N 次后的 t_3 时刻, Φ_{SH} 跳变为低电平 M_{SH} 关断积分电压 V_{INT} 被采样保持,积分时间 $T_{INT} = [N(t_1 + t_2) + t_3]$, C_{INT} 既是积分电容也是采样保持电容。然后列选信号 Φ_{RSEL} 出一个高脉冲,读出积分电压信号。最后 Φ_{RST} 跳变为高电平,将 V_{INT} 复位到 V_R ,为下次积分做准备。

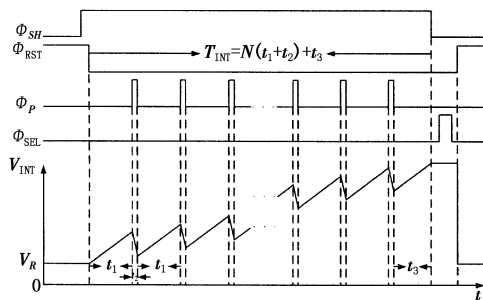


图3 具有分时背景抑制功能的单元电路的时序及相应的 V_{INT}

积分电压可表示为:

$$V_{INT} = \frac{[N(t_1 + t_2) + t_3] \cdot (I_{back} + I_s) - Nt_2 I_{sub}}{C_{INT}} = \frac{[N(t_1 + t_2) + t_3] \cdot I_s}{C_{INT}} + \frac{[N(t_1 + t_2) + t_3] \cdot I_{back} - Nt_2 I_{sub}}{C_{INT}} \quad (6)$$

在积分时间 T_{INT} 不变的情况下,调节 t_1, t_2, t_3 使得 $[N(t_1 + t_2) + t_3] \cdot I_{back} = Nt_2 I_{sub}$, 式(6)的第二项为0,即可消除背景电流 I_{back} 的影响,只对信号电流 I_s 积分。 I_{sub}, t_2 一旦设定,即保持不变,通过改变 t_1, t_3 来实现对不同大小 I_{back} 的抑制。

具有分时背景抑制功能的单元电路中构成自级联管的 M_1, M_2 管采用长沟道设计,工作在强反型区,有效地减弱了积分电压 V_{INT} 、阈值电压 V_T 及电源噪声对减去电流 I_{sub} 的影响,不仅具有良好的线性度,而且极大地降低了单元电路间的背景抑制非均匀性(BSNU)。

4 仿真结果及其分析

采用 CSMC 0.5 μm CMOS 工艺设计上述电路,5 V 单电源供电, V_R 为 700 mV,积分电容 C_{INT} 为 2 pF。用 Cadence 的 Spectre 工具在 77 K 温度下,对上述电路进行了仔细仿真。

背景电流 I_{back} 、信号电流 I_s 分别为 100 nA, 1 nA,减去电流 I_{sub} 为 3.28 μA ,积分时间 T_{INT} 为 2.7 ms 时,具有分时背景抑制功能的单元电路积分电压 V_{INT} 的输出仿真波形如图4所示。其中,a 为减电流电路在整个积分过程中保持关断时,积分电压 V_{INT} 的输出曲线;b 为减电流电路在积分过程中分时开启, t_1, t_2, t_3 分别为 32.8 $\mu s, 1 \mu s, 4.32 \mu s$ 时,积分电压 V_{INT} 的输出曲线。从曲线 a, b 可以看出在减电流电路正常工作的情况下,积分时间 T_{INT} 延长了约 47 倍,具有很好的背景抑制效果。由于减电流电路是分时导通的,减电流电路正常工作时的积分电压 V_{INT} 表现出锯齿状的输出波形。

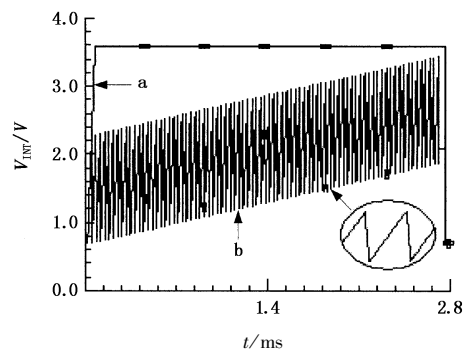


图4 具有背景抑制功能的单元电路 V_{INT} 的仿真输出波形

图5 为保持其他仿真条件不变,背景电流 I_{back} 为 100 nA 时,不同信号电流 I_s (0.01 nA, 0.12 nA, 0.23 nA, 0.34 nA, 0.45 nA, 0.56 nA, 0.67 nA, 0.78 nA, 0.89 nA, 1.00 nA) 仿真得到的具有分时背景抑制功能的单元电路输出电压 V_o 拟合图。仿真

结果表明具有分时背景抑制功能的单元电路注入效率近似为1,线性度为0.9997。

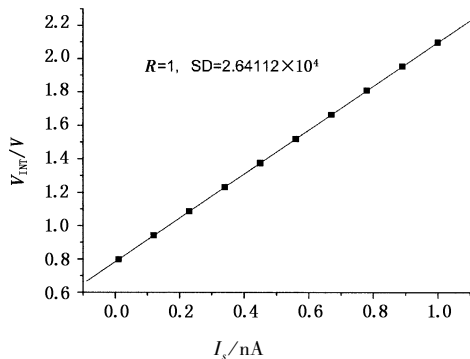


图5 具有分时背景抑制功能的单元电路的 V_o 拟合曲线

表1为图1具有连续背景抑制功能的单元电路与图2具有分时背景抑制功能的单元电路间的背景抑制非均匀性(BSNU)仿真结果。仿真时,两种单元电路采用相同尺寸的晶体管,构成减电流电路自级联管的 M_1, M_2 管阈值电压 V_{T1}, V_{T2} 的最大失配均为10 mV。连续背景抑制通过调节 V_B 来对不同 I_{back} 进行抑制;分时背景抑制的 V_B, I_{sub}, t_2 保持不变,通过调节 t_1, t_3 ,来抑制不同的 I_{back} 。由表1可以看出,背景电流 I_{back} 从50~150 nA具有分时背景抑制功能的单元电路间的BSNU约为3.231%~3.310%,远小于具有连续背景抑制功能的单元电路间的BSNU约为20.713%~35.930%。背景电流 $I_{back}=100$ nA时,具有分时背景抑制功能的单元电路间的BSNU为3.310%。具有分时背景抑制功能的单元电路的自级联管工作在强反型区,降低了减去电流对阈值电压的敏感度,而具有连续背景抑制功能的单元电路的自级联管工作于亚阈值区,减去电流对阈值电压极敏感。

表1 两种单元电路间的BSNU仿真结果比较

parameter	time-sharing			continuous		
	50	100	150	50	100	150
I_{back}/nA	50	100	150	50	100	150
$I_{sub}/\mu A$	3.28	3.28	3.28	0.05	0.10	0.15
BSNU/(10 mV)	3.231	3.310	3.285	35.930	25.480	20.713

5 结论

本文设计了一种适合于大规模2D红外焦平面阵列的具有分时背景抑制功能的单元电路。具有分时背景抑制功能的单元电路能有效地延长积分时间,提高红外成像系统探测微弱信号的能力,改善系统的动态范围、信噪比及灵敏度,并且单元电路间具有良

好的背景抑制非均匀性。在 $I_{back}=100$ nA, $T_{INT}=2.7$ ms, $I_{sub}=3.28$ μA , $t_1=32.28$ μs , $t_2=1$ μs , $t_3=4.32$ μs , 构成自级联管的两个晶体管阈值电压 V_T 的最大失配均为10 mV时,具有分时背景抑制功能的单元电路间的背景抑制非均匀性BSNU=3.310%。

参考文献:

- [1] 袁祥辉,孟丽娅,黄友恕,等.用于红外焦平面阵列的背景电流抑制读出电路:中国,ZL 200420061801.0 [P].2006-01-25.
- [2] Guang Yang, Chao Sun, Timothy Shaw, et al. A high dynamic-range, low-noise focal plane readout for VLWIR applications implemented with current mode background subtraction [C]. Proc. SPIE, 1998, 3360: 42-51.
- [3] E R Fossum, B Pain. Infrared readout electronics for space science sensors; state of the art and future directions [C]. Infrared Technology XIX, Proc. SPIE, 1993, 2020: 262-285.
- [4] 赵晨,丁瑞军.红外探测器背景抑制读出结构设计研究[J].激光与红外,2007,37(Supplement):981-984.
- [5] Chih-Cheng Hsieh, Chung-Yu Wu, Tai-Ping Sun, et al. High-performance CMOS buffered gate modulation input (BGMI) readout circuits for IR FPA [J]. IEEE Solid-State Circuit, 1998, 33(8): 1188-1198.
- [6] B H Kim, H C Lee. Smart TDI readout circuit for long wavelength IR detector [J]. Electronics Letters, 2002, 38: 854-855.
- [7] Doo Hyung Woo, Sang Gu Kang, Hee Chul Lee. Current-mode background suppression for 2-D LWIR applications [J]. Electronics Letters, 2005, 41: 221-222.
- [8] Sam Kavusi, Ghosh Ghosh, Abbas El Gamal. A per-pixel pulse-FM Background subtraction circuit with 175ppm accuracy for imaging applications [C]. IEEE International Solid-state Circuits Conf, Digest of Technical Papers, 2007, 504-505.
- [9] 刘丹,鲁文高,陈中建,等.新型低功耗128x128红外读出电路设计[J].激光与红外,2007,37(5):449-451.
- [10] Miran Mildovic. Current Gain High-Frequency CMOS Operational Amplifiers [J]. IEEE Solid-State Circuit, 1985, 20(4): 845-851.