

红外焦平面读出电路片上驱动电路设计

黄张成^{1,2}, 黄松垒^{1,2}, 张伟^{1,2}, 陈郁¹, 方家熊¹

(1. 中国科学院上海技术物理研究所传感器技术国家重点实验室, 上海 200083; 2. 中国科学院研究生院, 北京 100039)

摘要: 线列红外焦平面读出电路在正常工作时需要提供多路数字脉冲和多路直流偏置电压。本文基于 0.5 μm CMOS 工艺设计了一款驱动电路芯片, 为电容负反馈放大型 (CTIA) 读出电路 (ROIC) 提供驱动信号。电路芯片采用带隙基准电路产生低噪声低温漂的直流偏置电压, 采用数字逻辑电路生成 CLK1, CLK2, RESET 等八路数字脉冲。仿真及测试结果表明: 驱动电路芯片输出的数字脉冲及偏置电压符合设计值, 可驱动 CTIA 型线列红外焦平面读出电路稳定工作。

关键词: 红外焦平面; 读出电路; 片上驱动电路; 带隙基准

中图分类号: TN402 **文献标识码:** B

Design of driving circuit for infrared focal plane array readout circuit

HUANG Zhang-cheng^{1,2}, HUANG Song-lei^{1,2}, ZHANG Wei^{1,2}, CHEN Yu¹, FANG Jia-xiong¹

(1. State Key Laboratory of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Readout integrated circuit (ROIC) of linear infrared focal plane array (FPA) with capacitive trans-impedance amplifier (CTIA) should be applied with clock pulses and DC bias voltage. In this paper, a method of designing clock pulses and DC voltage for linear infrared FPA CTIA ROIC is presented. The DC voltage (about 2.6 V) is generated by bandgap reference circuit, and the eight clock pulses (CLK1, CLK2, RESET, SH1N, SH1P, SH2N, SH2P and ST) are generated by a digital logic circuit with two input signals (CLK and LSYNC). Simulation and test results show that this driving circuit can drive FPA steadily.

Key words: IRFPA; ROIC; driving circuit; bandgap reference voltage

1 引言

红外焦平面阵列主要有红外光敏芯片和读出电路芯片两部分组成^[1-2], 读出电路的作用是将光敏芯片所得的微弱电信号进行放大、处理和读出。读出电路是一种数模混合信号处理电路, 需要外围驱动电路为其提供多路数字脉冲和直流偏置电压才能正常工作。

数字脉冲的时序决定读出电路的工作状态, 要使读出电路正常工作, 必须提供正确的脉冲时序。

驱动脉冲可由数字信号发生器、可编程逻辑器件、片上数字逻辑电路等生成^[3-4]。读出电路正常工作还需提供多路直流偏置电压, 其中一些偏置电压的纹波和噪声会严重影响读出电路的信噪比, 根据应用场合, 这些偏置电压通常由低纹波低噪声的稳压电

基金项目: 国家自然科学基金重点项目 (No. 50632060) 资助。

作者简介: 黄张成 (1985 -), 男, 博士生, 主要从事红外焦平面读出电路的研究。E-mail: huangzc@mail.sitp.ac.cn

收稿日期: 2010-09-13; **修订日期:** 2010-11-08

源、低噪声电源管理芯片、片上带隙基准源等提供。将数字脉冲驱动电路和偏置电压生成电路集成到读出电路芯片上可以有效减少输入线路信号的干扰以及封装测试的工作量,有助于提高焦平面可靠性。

本文设计了一种基于 CMOS 0.5 μm Mixed Signal 工艺的驱动电路芯片,该电路包含两个模块,其中一个模块根据带隙基准电压源产生 2.6 V 的直流电压信号,为电容负反馈放大型 (capacitance transimpedance amplifier, CTIA) 读出电路提供稳定的参考电压;另一个模块利用输入脉冲 CLK 和 LSYNC 生成 CLK1, CLK2, RESET, SH1N, SH1P, SH2N, SH2P, ST 八路数字脉冲,为带有相关双采样 (correlated double sampling, CDS) 的 CTIA 型 ROIC 提供数字驱动脉冲。将驱动电路集成到读出电路芯片上可将读出电路工作所需的输入信号由十路减小为三路,有助于提高焦平面可靠性,也为红外焦平面向智能化方向发展打下了一定的基础^[5]。

2 CTIA 型读出电路驱动电路

2.1 CTIA 型读出电路的数字驱动脉冲

电容负反馈放大器电路 (CTIA) 具有偏置电压稳定、注入效率高,低噪声等优点,是一种线列焦平面读出电路常用的输入级结构。加上 CDS,可以降低其 KTC 噪声。带 CDS 的 CTIA 型单元电路结构如图 1 所示^[6]。

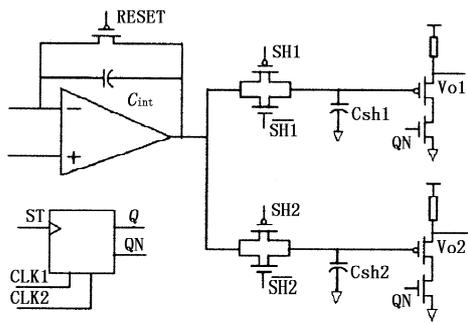


图 1 CTIA 型 ROIC 单元电路

Fig.1 schematic of ROIC unit

图 1 所示的 CTIA 型读出电路工作于先同时积分后串行读出模式,RESET 脉冲控制积分过程,高电平持续时间为信号电流积分时间,SH1N,SH1P,SH2N 和 SH2P 控制相关双采样的采样开关,SH1N 和 SH1P 控制 Csh1 开关在积分刚开始时打开,SH2N 和 SH2P 控制 Csh2 开关在积分结束前打开。ST,CLK1 和 CLK2 是串联移位寄存器的控制脉冲,ST 低电平开启移位寄存器,在每一个 CLK 周期读出一个通道的积分采样信号。CLK1,CLK2,RESET,SH1N,SH1P,SH2N,SH2P,ST 的时序脉冲如图 2 所示。

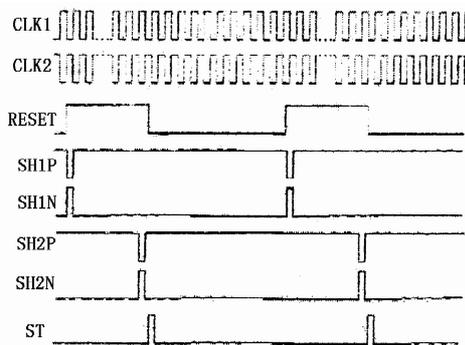


图 2 CTIA 型 ROIC 电路脉冲时序

Fig.2 work pulses of CTIA ROIC

2.2 CTIA 型读出电路的直流偏置

除了数字驱动脉冲以外,CTIA 型读出电路还需要多路直流偏置电压才能正常工作,包括 CTIA 的参考偏置电压 V_{REF} ,运放的输入偏置电压 V_{BIAS} 等,其中 V_{REF} 作为信号的参考电平,其噪声较大时会严重影响读出电路噪声。

如 V_{REF} 随时间变化,在积分开始的 t_1 时刻和结束的 t_2 时刻,CTIA 两次采样电压分别为:

$$V_o(t_1) = V_{REF}(t_1) \tag{1}$$

$$V_o(t_2) = V_{REF}(t_2) - \frac{I_{int} \cdot t_{int}}{C_{int}} \tag{2}$$

差分输出信号:

$$\Delta V_o = V_{REF}(t_1) - V_{REF}(t_2) + \frac{I_{int} \cdot t_{int}}{C_{int}} \tag{3}$$

式(3)表明, V_{REF} 的变化会直接影响积分采样的输出信号值。考虑到带隙基准的低温漂特性,本文设计一款低噪声带隙基准电路,为读出电路提供 V_{REF} 偏置电压, V_{BIAS} 由 V_{REF} 通过分压器产生。

3 CTIA 型读出电路片上驱动电路设计

3.1 数字驱动脉冲片上设计

CTIA 型读出电路要求积分时间可调,需要外部提供一路脉冲 (LSYNC) 调节积分时间,另外还需要一路时钟 CLK 来生成互补反向时钟 CLK1 和 CLK2。本文设计的数字脉冲生成方案为:①CLK 产生反相时钟 CLK1 和 CLK2;② CLK1,CLK2 和 LSYNC 产生 RESET,SH1,SH2,ST;③ SH1 产生 SH1P 和 SH1N,SH2 产生 SH2P 和 SH2N。对于长线列焦平面读出电路,每一通道均需要 CLK1,CLK2 和 SH1N,SH1P,SH2N,SH2P 等提供驱动,这几路脉冲的负载电容较大,要保证在较高的工作频率下仍能正常工作,需要片上脉冲有较大的驱动能力,互补级联反相器具有较大的驱动能力,较好的高电平不重叠性,其电路图如图 3 所示^[7]。RESET,SH1,

SH2, ST 由门级电路和移位寄存器的组合逻辑电路生成,其电路图如图4所示。

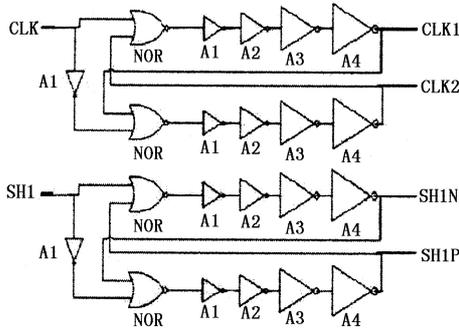


图3 互补反相脉冲生成电路
Fig.3 generating circuit of reserve

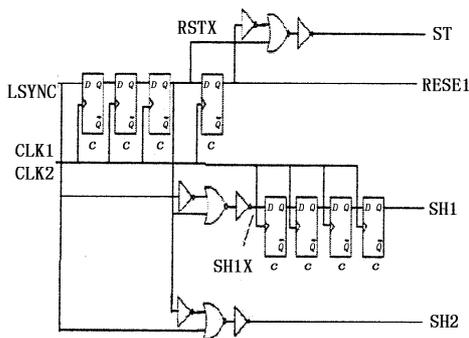


图4 RESET ST SH1 SH2 脉冲生成电路

Fig.4 generating circuit of RESET ST SH1 SH2 complementary pulses

3.2 输入参考电压 VREF 片上设计

本文采用带隙基准电路生成 V_{REF} ,带隙基准模块核心电路如图5所示^[8]。

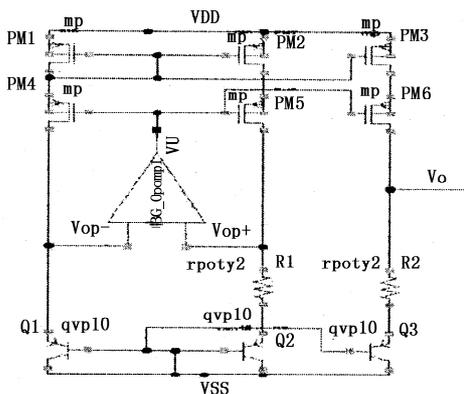


图5 带隙基准模块电路

Fig.5 bandgap reference circuit

如图5所示,共源共栅电流镜 M_0, M_1, M_2, M_3 使通过 PNP Q_1 和 PNP Q_2 的电流相等,运放 OPAMP1 保证 Q_1 的发射级电平和电阻 R_1 的高电平相等。

$$V_{op-} = V_{be1} = V_t \ln(I_o/I_{s1}) \quad (4)$$

$$V_{op+} = V_{be2} + R_1 I_o = V_t \ln(I_o/I_{s2}) + R I_0 \quad (5)$$

设计发射级面积比 $A_{Qe1}:A_{Qe2}:A_{Qe3} = 1:N:1$,由于 $I_s \propto A_{Qe}$,所以:

$$I_{s1}:I_{s2}:I_{s3} = 1:N:1 \quad (6)$$

在运放正常工作时:

$$V_{op+} = V_{op-} \quad (7)$$

将式(6),(7)代入式(4),(5)得到:

$$V_{BGRo} = V_{be3} + \left(\frac{R_2}{R_1}\right) M V_t \cdot \ln N \quad (8)$$

其中, M 是电流镜 M_4, M_5 与 M_0, M_1 的 W/L 放大倍数。将式(8)对时间取导数:

$$\frac{\partial V_{BGRo}}{\partial T} = \frac{\partial V_{be3}}{\partial T} + M \frac{k}{q} \frac{R_2}{R_1} \ln N \quad (9)$$

设计 $M = 4, N = 7$,调整 R_2/R_1 可使 $\frac{\partial V_{REFo}}{\partial T}$ 达到

最小值,此时 V_o 输出值为 1.3 V。

CTIA 型 ROIC 需要 2.5 V 左右的参考电压,需要将 V_o 通过放大器比例放大到 2.6 V,考虑到 V_{REF} 同时给光敏芯片提供偏置,其电容负载较高,在输出端再增加一个跟随器,此外为防止带隙基准进入非正常工作点,增加了启动电路。电路简单示意图如图6所示。

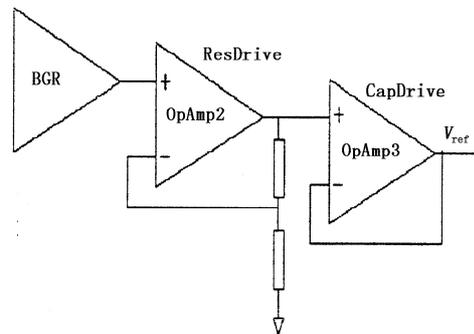


图6 V_{ref} 片上设计整体电路

Fig.6 schematic of V_{ref} generating circuit

4 电路仿真与芯片测试结果

图7是数字脉冲驱动电路的输出时序仿真结果。

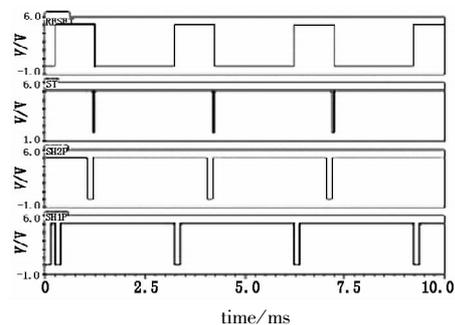


图7 脉冲驱动电路仿真结果

Fig.7 simulation results of work pulses

图8是带隙基准输出电压随温度变化特性的 Spectre 仿真结果,在 25 °C,其输出电压为 2.658 V,输出噪声在 1 kHz 处为 1.0 $\mu\text{V}/\text{Hz}^{1/2}$,在 -20 ~ 100 °C 范围内的温度系数为 $20.5 \times 10^{-6}/\text{°C}$ 。负载电容为 1 nF 时,带隙基准电路仍能保持正常工作。数字脉冲驱动电路的功耗很小,带隙基准电路功耗为 1.6 mW。

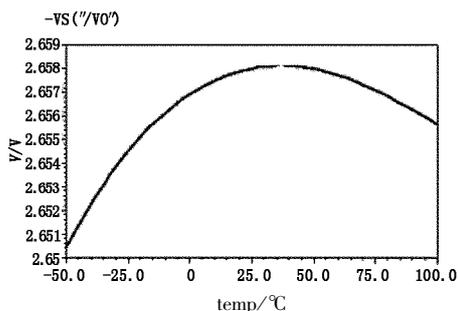


图8 带隙基准电路温漂仿真结果

Fig.8 simulation results of bandgap reference

图9是数字脉冲驱动模块以及 VREF 带隙基准电路和读出电路耦合后的仿真结果。电路在 CMOS 0.5 μm Mixed Signal 工艺下流片,片上集成了 10×1 线列 CTIA 型读出电路,带隙基准工作电压稳定在 2.6 V,数字电路输出的脉冲时序正常,电路芯片和 InGaAs 光敏芯片耦合后,输出波形如图 10 所示,仿真结果和测试结果表明本文设计的驱动电路可以驱动线列焦平面正常工作。

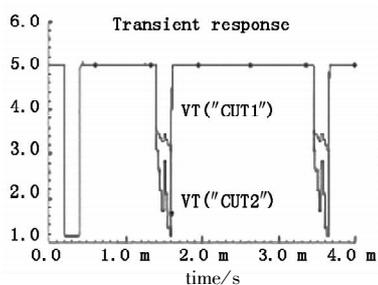


图9 驱动读出电路后的输出仿真结果

Fig.9 simulation results of driving circuits

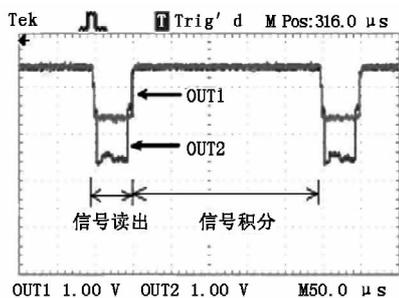


图10 和光敏芯片耦合后的输出波形

Fig.10 waves of output signals and ROIC

5 结论

本文设计了一款基于 CMOS 0.5 μm Mixed 工

艺的读出电路片上驱动电路芯片,该电路包含两个模块,一个是低噪声带隙基准电路,为读出电路提供稳定的直流偏置电压;另一个模块利用输入脉冲 CLK 和 LSYNC 生成 CLK1, CLK2, RESET, SH1N, SH1P, SH2N, SH2P, ST 八路数字脉冲,为带有相关双采样的 CTIA 型 ROIC 提供数字驱动脉冲。仿真和芯片测试结果表明本文设计的驱动电路输出信号可驱动 CTIA 型读出电路正常工作。

参考文献:

- [1] Liu Liping. Status and trend of the readout circuit technology for IRFPA[J]. Laser & Infrared, 2007, 37(7): 598 - 600. (in Chinese)
刘莉萍. 红外焦平面读出电路技术及发展趋势[J]. 激光与红外, 2007, 37(7): 598 - 600.
- [2] Chih cheng Hsieh, Chungyu Wu, et al. Focal-plane-arrays and CMOS readout techniques of infrared imaging systems [J]. IEEE Transactions on Circuits and Systems for Video Technology, 1997, 7(4): 594 - 605.
- [3] Huang Zhangcheng, Huang Songlei, et al. Driving circuit for readout integrated circuit based on complex programmable logic device [J]. Acta Optica Sinica, 2009, 29 (Supplement): 340 - 343. (in Chinese)
黄张成, 黄松垒, 等. 基于复杂可编程逻辑器件的读出电路驱动脉冲设计[J]. 光学学报, 2009, 29 (增刊): 340 - 343.
- [4] Wang Zhigang, Zhao Jianzhong. Research on the output control of 256×256 IRFPA readout circuit [J]. Laser & Infrared, 2008, 38(11): 1133 - 1135. (in Chinese)
王志刚, 赵建忠. 256×256 焦平面阵列读出电路数字控制研究[J]. 激光与红外, 2008, 38(11): 1133 - 1135.
- [5] J T Caulfield, P L Mc Carley, et al. Efficiency of image processing architectures near the focal plane array [J]. Proc. of SPIE, 2006, 6206: 620613.
- [6] Yaoqiao Li, Hui Zhu, et al. Design and simulation of a 512×1 readout circuit for focal plane array [J]. Proc. of SPIE, 2007, 6835: 68350 H - 1.
- [7] Charles Walmsley, Timothy Beystum, et al. High performance $480 \times 12 \times 4$ linear CMOS IR multiplexer [J]. Part of the SPIE Conference on Electronics for Solid State Sensors, SPIE, 1999, 3794: 122 - 133.
- [8] Xie Jia. Design and realization of high-performance bandgap voltage reference [D]. Chendu: Electronic Science and Technology University, 2008. (in Chinese)
谢佳. 高性能带隙基准源的设计与实现[D]. 成都: 电子科技大学, 2008.