

文章编号:1001-5078(2011)05-0537-05

· 红外材料与器件 ·

## 3 英寸 CdTe/Si 复合衬底外延技术研究

周立庆, 刘 铭, 巩 锋, 董瑞清, 折伟林, 常 米  
(华北光电技术研究所, 北京 100015)

**摘 要:**报道了采用分子束外延法,在 3 in 硅衬底上通过 As 钝化、ZnTe 缓冲层生长、CdTe 生长、周期性退火等工艺进行 CdTe/Si 复合衬底制备技术研究情况,采用光学显微镜、X 射线高分辨衍射仪、原子力显微镜、红外傅里叶光谱仪和湿化学腐蚀等手段对碲化镉薄膜进行了表征,测试分析结果表明碲化镉薄膜的晶向得到了较好的控制,孪晶得到了抑制,且具有较好晶体结构质量和均匀性。

**关键词:**碲化镉;硅基;分子束外延

**中图分类号:**TN214 **文献标识码:**A

### Study on MBE CdTe layer on 3 inch silicon substrate

ZHOU Li-qing, LIU Ming, GONG Feng, DONG Rui-qing, SHE Wei-lin, CHANG Mi  
(North China Research Institute of Electro-Optics, Beijing 100015, China)

**Abstract:** CdTe(211)B films were grown by molecular beam epitaxy on As-passivated nominal three-inch Si(211) wafer using thin interfacial ZnTe(211)B buffer layer, and in-situ cyclic annealing has been used during CdTe deposition to improved crystal quality. The CdTe films were characterized with Optical microscopy, X-ray diffraction, AFM, FTIR and wet chemical defect etching. The results indicate that the CdTe(112)B films has good crystal quality, excellent uniformity over three-inch area, twin-free and the crystalline orientation is controlled.

**Key words:** CdTe; Si; MBE

#### 1 引 言

高质量的碲镉汞薄膜材料是制备高性能碲镉汞红外焦平面探测器的基础,传统碲镉汞薄膜主要以碲锌镉单晶材料为衬底,采用液相外延(LPE)或分子束外延(MBE)等方法,进行碲镉汞薄膜材料的制备。由于大尺寸碲锌镉单晶材料生长的困难,大面积且锌值组分均匀的碲锌镉衬底难以获得;另外由于碲锌镉衬底可加工性、碲锌镉衬底与硅读出电路热膨胀匹配性以及标准半导体器件工艺设备兼容性等原因,造成碲锌镉基的碲镉汞薄膜材料的成本高,最终导致碲镉汞红外焦平面器件的成本非常高。因此寻找和开发碲锌镉替代衬底材料的研究工作一直贯穿于碲镉汞红外焦平面技术发展的过程中。

在碲锌镉替代衬底的研究中,研究者探索了蓝宝石、砷化镓、硅、锗等多种衬底材料。硅基替代衬

底的优点有:大面积、成本低、机械性能好、与读出电路的互连可靠性高等,从而提高碲镉汞红外探测器的性能,而且随着技术的进步,将碲镉汞探测器与读出电路制作于一个 Si 晶片上(Monolithic integration),最终解决热循环冲击问题,实现碲镉汞红外焦平面探测器工艺与 Si 半导体工艺的完全兼容,可以说这是碲镉汞薄膜外延衬底发展的终极目标<sup>[1]</sup>。

以美国为首的西方发达国家在 Si 基替代衬底的研究方面投入巨大的人力和财力,美国伊利诺斯大学(UIC)、陆军实验室(ARL)、雷神公司(Raytheon)、Teledyne 公司、EPIR 公司等诸多机构早在 20 世纪 90 年代就开展了相关领域研究,目前 Si 基替代

**作者简介:**周立庆(1971-),男,研究员级高工,主要从事红外探测材料与器件技术的研究。

**收稿日期:**2011-01-06; **修订日期:**2011-02-13

衬底技术应用于中短波碲镉汞材料的制备已基本成熟,美国 Raytheon 公司采用 4 in Si 衬底分子束外延碲镉汞短波材料,制作出  $2048 \times 2048$  元红外焦平面探测器,美国 Teledye 公司采用 3 in Si 衬底分子束外延碲镉汞中短波材料,制作出了  $1024 \times 1024$  中波和  $2048 \times 2048$  短波探测器阵列;在 Si 基替代衬底长波碲镉汞制备应用方面,也取得非常鼓舞人心的结果<sup>[2]</sup>。国内开展 CdTe/Si 复合衬底制备技术研究工作的主要有中科院上海技术物理所、华北光电技术研究所等单位。

本文报道了我们在 3 in Si 基复合衬底分子束外延生长技术方面取得的最新研究进展。

## 2 实验

Si 基复合衬底分子束外延生长技术研究使用的 3 in (211) Si 晶片是通过商业采购的,采用 MBE 系统进行 CdTe 复合衬底的分子束外延生长。

Si 基复合衬底分子束外延生长具体的工艺步骤如下:首先采用改进的 RCA 工艺对 Si 晶片进行湿化学处理,形成一定厚度的氧化层;然后用高纯氮气将 Si 晶片吹干,迅速装入 MBE 系统,经进样室和缓冲室除气后,传送至生长室;最后进行 Si 晶片氧化层去除、As 钝化、ZnTe 缓冲层的生长、CdTe 薄膜的生长及热处理等工艺。其中去除 Si 晶片表面氧化层是为了获得原子级清洁表面;As 钝化是用于调节 Si 晶片表面极性,保证随后的 B 面生长;ZnTe 缓冲层是为了抑制多晶、孪晶的形成,采用迁移增强外延(MEE)技术生长;为了减少位错密度提高晶体质量,实验引入周期性原位退火。整个生长过程通过高能电子衍射(RHEED)进行监控。

Si 基复合衬底结构示意图如图 1 所示,分子束外延生长工艺示意图如图 2 所示。

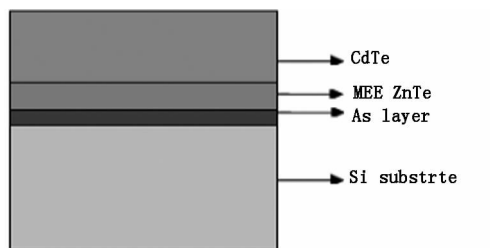


图1 Si基复合衬底结构示意图

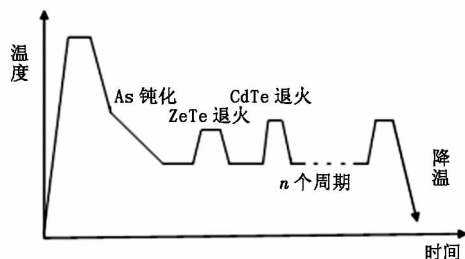


图2 Si基复合衬底分子束外延生长工艺示意图

Si 基复合衬底的晶体质量采用在线 MBE 20keV RHEED、X 射线高分辨衍射仪(XRD)分析测试,XRD 采用  $\text{Cu K}\alpha_1$  特征谱线,单色器采用四个 Ge(220) 晶体;采用红外傅里叶光谱仪对 Si 基复合衬底 CdTe 薄膜的红外透过率和厚度进行测试;选用 Everson 腐蚀液<sup>[3]</sup>对 Si 基复合衬底进行 CdTe 的位错腐蚀,其配方为  $\text{HNO}_3:\text{HF}:\text{乳酸} = 4:1:25$ ,腐蚀时间 30 s 左右,分别采用光学显微镜、原子力显微镜和扫描电子显微镜进行位错统计和比较;为了了解 Si 基复合衬底随着 CdTe 厚度的增加,CdTe 薄膜晶体质量的变化情况,我们对 Si 基复合衬底进行了剥层腐蚀,将同一 Si 基复合衬底划成多片,先分别用溴-甲醇腐蚀到不同的 CdTe 厚度,然后进行双晶衍射半峰宽测试。

## 3 结果与讨论

### 3.1 表面形貌及单晶性

经分子束外延后获得的 3 in CdTe/Si 复合衬底如图 3 所示,整个复合衬底表面如镜面光亮,通过光学显微镜观测(如图 4 所示),可发现 CdTe 薄膜表面缺陷得到了有效控制,经统计大于  $1 \sim 2 \mu\text{m}$  缺陷平均密度低于  $300 \text{ cm}^{-2}$ 。有文献报道,碲镉汞薄膜上的宏观缺陷可以导致红外器件像元失效而成为盲元,宏观缺陷低于  $300 \text{ cm}^{-2}$ 时,它对器件的影响就可以忽略<sup>[4]</sup>;而研究也表明有相当一部分缺陷起源于衬底,因此严格控制复合衬底上缺陷数量是减少硅基碲镉汞薄膜缺陷的关键,NVESD 2004 年报道复合衬底缺陷的起源有外延前 Si 衬底清洗状态、外延过程中 CdTe 和 Te 源状态的影响,经过优化生长工艺后制备的复合衬底缺陷平均密度小于  $1000 \text{ cm}^{-2}$

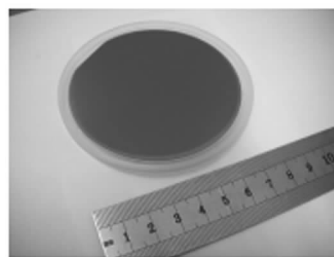


图3 3 in Si基复合衬底

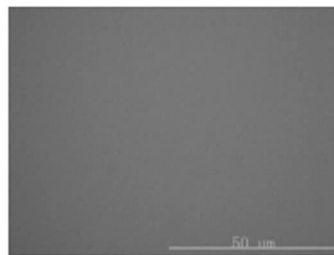


图4 Si基复合衬底表面光学显微形貌

(缺陷尺寸在 1 ~ 10 μm 范围内),最好的可达到 3 cm<sup>-2</sup>[5]。表面缺陷的统计结果表明我们外延的复合衬底缺陷密度得到了较好的控制。

CdTe 和 Si 之间的晶格失配高达 19%,大的晶格失配通常导致在外延层中出现孪晶,对于(211)生长面来说,孪晶面为(255),由于在 X 射线衍射中(255)为消光面,通常采用最近邻的(133)的 X 衍射来评价孪晶[6];孪晶在 RHEED 图中反映是在衍射条纹旁边有附加的条纹。

图 5 是 CdTe 外延膜生长完成后的 RHEED 图,可以看出无孪晶,图 6 是对 Si 基复合衬底 CdTe 薄膜的 XRD θ ~ 2θ 扫描图,可发现只有 CdTe(422)衍射,不存在典型孪晶的(133)衍射峰,这表明在此生长条件下孪晶得到了有效抑制,Si 基复合衬底 CdTe 外延膜具有良好的单晶性。

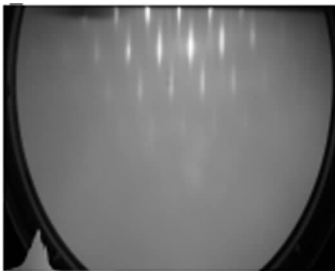


图 5 CdTe/Si [0~11] 的 RHEED

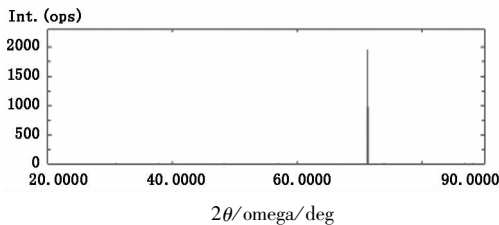


图 6 Si 基复合衬底 CdTe 薄膜的 XRD θ ~ 2θ 扫描图

### 3.2 红外透过及厚度均匀性

Si 基复合衬底的红外傅里叶光谱仪测试的典型透过曲线如图 7 所示,它在中短波段红外透过率大于 60%,可满足中短波碲镉汞材料对衬底的要求。根据红外透过曲线干涉峰的间距,用公式  $d = 1/2 n \Delta\gamma$ ,可计算出 CdTe 薄膜的厚度(Δγ 是相邻干涉峰的波数差;由于 ZnTe 厚度只有几十埃,可

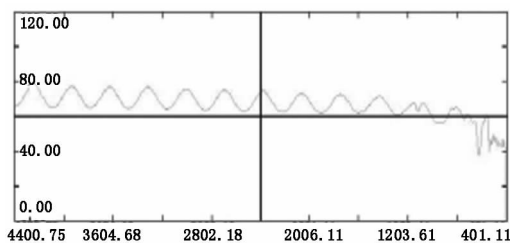


图 7 Si 基复合衬底红外透过曲线

忽略不计);图 8 是编号 M3SCT0924 Si 基复合衬底 CdTe 薄膜厚度值分布情况,平均厚度 = 8.08 μm,标准偏差 = 0.0212,相对标准偏差 = 0.00262,从结果上可以看出我们外延的 CdTe/Si 复合衬底具有良好的厚度均匀性,表明分子束外延设备和工艺条件设置均较佳。

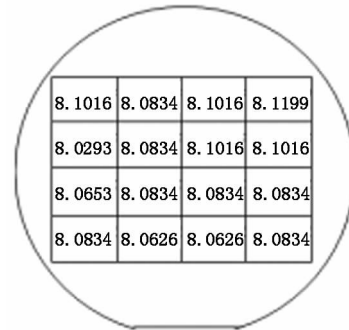


图 8 3 in Si 基复合衬底 CdTe 薄膜厚度分布

### 3.3 双晶衍射半峰宽

Si 复合衬底 CdTe 薄膜晶体结构质量对其后的碲镉汞薄膜质量起决定性作用,XRD 双晶摇摆曲线(DCRC)半峰宽(FWHM)是评价晶体质量的重要参数,双晶半峰宽主要受位错密度的影响,而用双晶半峰宽表征晶体质量对材料是一个非破坏性过程,因此在实验过程中常用半峰宽来表征晶体质量。

在复合衬底 CdTe/Si 上生长的 HgCdTe 薄膜材料具有高的位错密度(典型值 10<sup>6</sup> cm<sup>-2</sup> 以上),高的位错密度会导致暗电流增大和 R<sub>0A</sub> 减小,从而降低探测器的性能。减小 HgCdTe 的位错密度的主要方法之一就是减小复合衬底 CdTe/Si 的位错密度。降低复合衬底 CdTe/Si 位错密度方法一般有:生长超晶格缓冲层[7]、衬底偏向[8]、退火[8]等。前两种方法主要是通过降低表面能来降低位错密度,但由于复合衬底外延膜和衬底之间存在较大的晶格失配,因此这两种方法改善的程度非常有限;退火是对外延膜进行快速升降温,对位错迁移提供一个额外的迁移能,有利于位错的湮没和闭合,从而达到降低位错密度提高晶体质量的效果[8]。

我们通过在外延生长过程中引入周期性退火工艺,实验发现通过调整退火温度、时间、周期数可有效提高晶格质量,减少双晶衍射半峰宽。对编号 M3SCT1009 Si 基复合衬底(CdTe 薄膜平均厚度为 8.82 μm)进行双晶衍射半峰宽面扫描(间距 10 mm,选取 37 点),平均值 = 78.58 arcsec,标准偏差 = 3.26,相对标准偏差 = 0.0415,同时统计了 10

个 Si 基复合衬底双晶半峰宽结果 (CdTe 薄膜平均厚度为  $8 \mu\text{m}$  左右), 可以看出通过周期性退火工艺的引入, 3 in Si 基复合衬底的晶格质量得到了有效控制 (如图 9 和图 10 所示)。

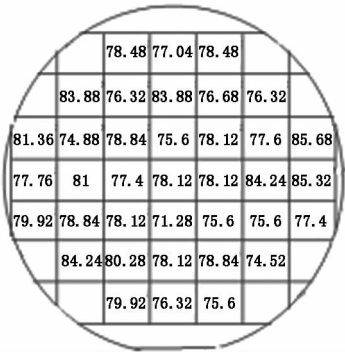


图 9 M3SCT1009 复合衬底 FWHM 面分布

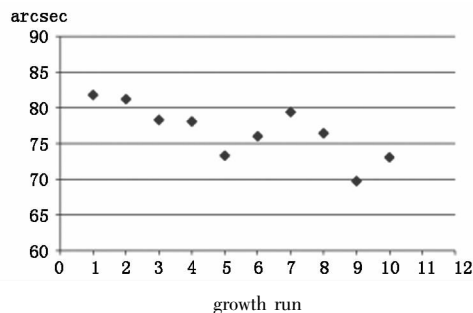


图 10 不同批次复合衬底 FWHM 数值统计

通过对 Si 基复合衬底的剥层腐蚀, 测试 CdTe 薄膜双晶衍射半峰宽变化情况, 我们发现随着 CdTe 厚度的增加, CdTe 薄膜的双晶衍射半峰宽急剧减少, 当 CdTe 厚度达到  $7 \sim 9 \mu\text{m}$ , 双晶衍射半峰宽变化不大, 如图 11 所示。因此考虑到碲镉汞外延前 CdTe 薄膜的腐蚀量, 兼顾减少复合衬底的外延时间, 为了控制 Si 基复合衬底的晶格质量, 我们认为可将 Si 基复合衬底 CdTe 薄膜的外延生长厚度控制在  $10 \mu\text{m}$  左右, 这样既可以保证复合衬底的晶体质量, 又可以提高生长效率。

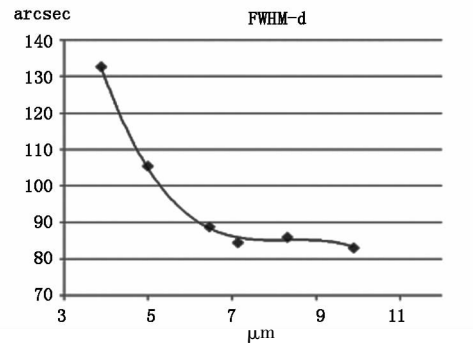


图 11 Si 基复合衬底 CdTe 薄膜纵向剥层双晶衍射半峰宽情况

### 3.4 位错密度 (EPD)

由于 CdTe 和 Si 之间晶格失配达到 19%, 导致界面处产生大量的失配位错 (达到  $10^{13} \sim 10^{14} \text{cm}^{-2}$  量级), 这些位错大部分是刃型位错, 残留在界面区域, 但还是有相当一部分螺型位错会贯穿到外延层, 一般来说 CdTe/Si 的位错密度比体晶 CdZnTe 高 2 个数量级。因此如何降低复合衬底的位错密度成为研究的难点。我们通过引入 ZnTe 缓冲层和对 CdTe 膜在生长过程中阶段性的退火工艺来降低 CdTe 膜层位错密度, 对 ZnTe 缓冲层厚度和退火工艺, CdTe 薄膜退火温度和时间以及退火周期数等生长工艺参数进行了相应的优化研究。

为了真实地反映 CdTe 薄膜的位错密度, 我们采用湿化学腐蚀的方法, 通过计数腐蚀后表面腐蚀坑的数目来表征其位错密度。实验采用 Everson 腐蚀液对复合衬底 M3SCT1010 (CdTe 薄膜平均厚度为  $9.85 \mu\text{m}$ ) 进行位错腐蚀, 采用多种手段观测并分别计数, 采用光学显微镜 (OM) 1000 倍计数为  $3.4 \times 10^6/\text{cm}^2$ , 采用扫描电子显微镜 (SEM) 计数为  $3.6 \times 10^6/\text{cm}^2$ , 采用原子力显微镜 (AFM) 计数为  $5.2 \times 10^6/\text{cm}^2$ ; 三种方式计数平均得到 EPD 数值大约为  $4.0 \times 10^6/\text{cm}^2$ , 这表明通过优化外延以及在线退火工艺, 复合衬底位错密度得到了很好控制, 这一结果与 NVESD 和 ARL 2009 年报道的数据相当<sup>[9]</sup>。

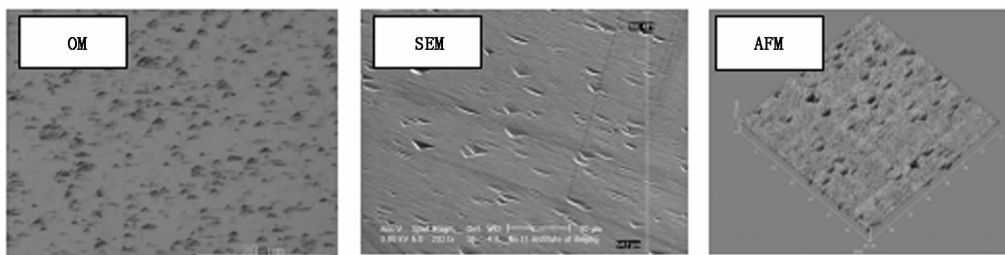


图 12 Si 基复合衬底 CdTe 薄膜位错腐蚀坑观测情况

## 4 结论

在 3 in Si 晶片上进行碲镉汞外延用 CdTe 复

合衬底的制备研究, 通过采用 As 钝化、ZnTe 缓冲层 MEE 生长和 CdTe 薄膜周期性热处理等技术,

获得了表面缺陷得到有效控制、晶格质量良好的 Si 基复合衬底,复合衬底的表面宏观缺陷密度(大于  $1 \sim 2 \mu\text{m}$ ) 低于  $300 \text{ cm}^{-2}$ ,双晶衍射半峰宽值在  $80 \text{ arcsec}$  以下(CdTe 薄膜厚度平均为  $8 \sim 9 \mu\text{m}$ ),位错密度的平均值低于  $5.0 \times 10^6/\text{cm}^2$ ;Si 基复合衬底晶格质量的工艺重复性较好,CdTe 薄膜厚度控制在  $8 \sim 9 \mu\text{m}$  时,其双晶衍射半峰宽值均在  $70 \sim 80 \text{ arcsec}$  之间;通过对 Si 基复合衬底 CdTe 薄膜剥层双晶衍射半峰宽的测试分析,用于碲镉汞薄膜外延的 Si 基复合衬底 CdTe 层外延厚度控制在  $10 \mu\text{m}$  左右较佳。

**致谢:**对华北光电技术研究所红外与紫外重点实验室的强宇、晋舜国、沈宝玉等人员做的相关工作深表感谢!

#### 参考文献:

- [1] Zhou Liqing. The status and development of substrates for HgCdTe epilayer [J]. *Laser & Infrared*, 2005, 35(11): 808-811. (in Chinese)  
周立庆. 碲镉汞外延用衬底材料的现状和发展 [J]. *激光与红外*, 2005, 35(11): 808-811.
- [2] P S, Wijewarnasuriya, G Brill, et al. LWIR MBE HgCdTe photovoltaic detectors grown on Si composite substrates [J]. *SPIE*, 2004, 5406: 323-331.
- [3] W J Everson, C K Ard, et al. Etch pit characterization of CdTe and CdZnTe substrate for use in mercury cadmium telluride epitaxy [J]. *J. Electron. Mater.*, 1995, 24: 505-510.
- [4] J M Peterson, J A Franklin, et al. High-quality large-area MBE HgCdTe/Si [J]. *Journal Electronic Materials*, 2006, 35(6): 1283-1286.
- [5] L A Almeida, L Hirsch, et al. Improved morphology and crystalline quality of MBE CdZnTe/Si [J]. *Journal Electronic Materials*, 2001, 30(6): 608-610.
- [6] N K Dhar, C E C Wood, et al. Heteroepitaxy of CdTe on (211) Si using crystallized amorphous ZnTe templates [J]. *J. Vac. sci. Technol.*, 1996, B14(3): 2366-2372.
- [7] Y Chen, S Farrell, et al. Dislocation reduction in CdTe/Si by molecular beam epitaxy through in-situ annealing [J]. *Journal of Crystal Growth*, 2008, 310: 5303-5307.
- [8] M Kawano, A Ajisawa, et al. HgCdTe and CdTe(-1-13)B growth on Si(112)5° off by MBE [J]. *Appl. Phys. Lett.*, 1996, 69(19): 2876-2879.
- [9] J D Benson, et al. Topography and dislocation in (112)B HgCdTe/CdTe/Si [J]. *Journal Electronic Materials*, 2009, 38(8): 1771-1775.