

线列 TDI 型红外焦平面读出电路低功耗设计

袁媛,岳冬青,刘晓磊
(华北光电技术研究所,北京 100015)

摘要:基于对具有 TDI 功能的红外线列读出电路工作原理的分析,通过改变电路的工作电流及工作时间进行低功耗设计,最后分别对优化前后的读出电路进行直流仿真,仿真结果显示优化后读出电路功耗较原始电路降低了 49.5%,验证了低功耗设计方案的可行性。

关键词:读出电路;时间延迟积分;低功耗

中图分类号:TN216 **文献标识码:**A **DOI:**10.3969/j.issn.1001-5078.2015.12.016

Design of low-power ROIC of line TDI IRFPA

YUAN Yuan, YUE Dong-qing, LIU Xiao-lei
(North China Research Institute of Electro-optics, Beijing 100015)

Abstract:Based on the principle analysis of line TDI ROIC, the circuit power is reduced by changing work current and work time. The circuit was simulated before and after optimization. The simulation results of the ROIC show that the power of the optimized ROIC is 49.5% lower than the original circuit, which verifies the feasibility of the low-power design.

Key words: ROIC; TDI; low-power

1 引言

近年来,红外焦平面成像系统的迅速发展,对红外探测器性能寄予越来越高的期望,读出电路作为红外探测器的核心部分也被提出更高要求^[1]。对读出电路提出的更优方向是兼顾帧频与信噪比之间的矛盾,为此设计者们采用了很多方法^[2-5],目前比较有效的方法是在读出电路中引入时间延迟积分(Time-Delay-Integration, TDI)功能。为了达到提高性噪比的目的,通常电路中采用多级 TDI,然而多级 TDI 引入的同时电路整体功耗也随之增大。本文通过对线列 TDI 型红外焦平面读出电路的工作原理及功耗分析,找到一种有效降低功耗的方法,并通过电路仿真对结果进行验证。

2 TDI 型读出电路结构简介

2.1 TDI 原理

所谓 TDI 就是指在不同的时间点用同一探测器的不同像元对同一目标进行读取,并将每个时间点各像

元读取的信息进行存储累加。当目标被探测器中所有像元遍历后,存储累加后的信息依次被读出。图 1 为一行 4 个像元的 TDI 原理示意图^[6]。

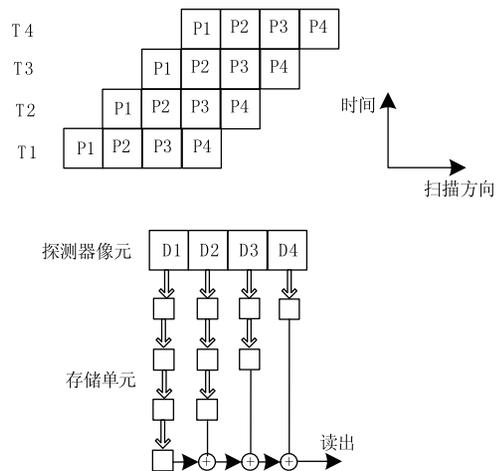


图 1 TDI 原理示意图

Fig. 1 Theory of TDI

设每个像元目标被第 N 个像元读取后的输出信号为 V_{SN} , 相应的电路噪声为 V_{nN} 。我们总是假设探测器和电路的一致性良好, 即各个探测器的输出信号和电路的噪声完全相同。由于信号是相关的, 噪声是非相关的, 那么:

$$V_S = V_{S1} + V_{S2} + V_{S3} + \dots + V_{SN} = NV_{S0}$$

$$\overline{V_n^2} = \overline{V_{n1}^2} + \overline{V_{n2}^2} + \overline{V_{n3}^2} + \dots + \overline{V_{nN}^2} = N\overline{V_{n0}^2}$$

$$SNR_N = V_S / \overline{V_n} = NV_{S0} / \sqrt{N\overline{V_{n0}^2}} = \sqrt{N} \cdot SNR_0$$

其中, V_{S0} 、 $\overline{V_{n0}}$ 、 SNR_0 分别为单个像元获取目标信息的输出、噪声及信噪比; 可以看出, 具有 N 个像元的 TDI 电路输出的信噪比为单个像元的 \sqrt{N} 倍, 这就在帧频不变的条件, 提高了信噪比。

2.2 TDI 型读出电路原理

在线列型焦平面读出电路中, 单列带有 TDI 功能的读出电路如图 2 所示。探测器的光响应电荷经过输入级积分, 被保存在存储单元(如有盲元先进行盲元替代), 当数字逻辑控制电路中选中某列时, 该列所有像元经过 TDI 后信号经过加和平均并输出, 实现了电荷到电压的转换。偏置电压为电路提供合适的工作点, 保证读出电路工作在最佳状态。逻辑控制电路通过不同外部时序提供读出电路工作必须的控制信号。

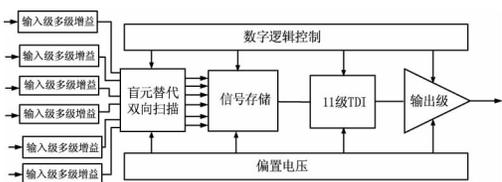


图 2 具有 TDI 结构读出电路的单通道结构示意图

Fig. 2 One channel of ROIC with TDI

3 线列 TDI 型读出电路的功耗分析

线列型 TDI 读出电路是数字、模拟混合信号集成的大规模电路, 由于数字电路及 I/O 电路的功耗在电路总功耗中所占比例较小, 因此本文只对模拟功耗进行分析优化。大规模读出电路的应用使得模拟单元规模增加, 与此同时功耗增加也非常显著。依前所述, 模拟电路产生功耗的单元主要分布在输入级单元、TDI 级、列输出级以及缓冲输出级。下面以像元规模为 1024×6 , 两级 TDI 为例对各模拟单元进行功耗分析。

3.1 输入级的功耗分析

读出电路将探测器接收到的光信号转化成电信号的过程是在输入级单元完成的, 输入级单元结构如图 3 所示。当探测器接收到光照后, 光电荷在积

分电容 C_{int} 上累积产生积分电压 V_{int} , 为增强其对后级电路的驱动能力, 在积分电容后接一个源极跟随器 Buffer, V_R 为 Buffer 中电流源提供偏置电压。

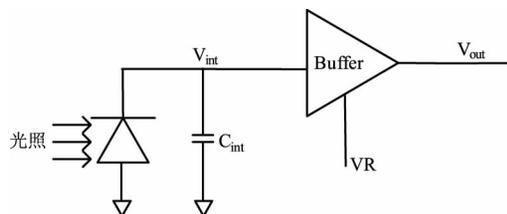


图 3 输入级结构

Fig. 3 Circuit of input

输入级结构相对简单, 工作时只有源极跟随器产生功耗, 功耗可由式(1)表示:

$$W = P \cdot t = V_{DD} \cdot I_p \cdot T \tag{1}$$

式中, V_{DD} 为电源电压; I_p 为源极跟随器的工作电流; T 为电路工作时间。

由式(1)可知, 降低电源电压或者减小源极跟随器工作电流以及缩短工作时间均可降低输入级的功耗。但是由于降低电源电压会影响读出电路整体的工作性能, 而且探测器工作时接受光照的时间是连续的, 致使输入级必须在探测器使用过程中一直处于工作状态。因此只有通过减小源极跟随器的工作电流, 才能降低输入级的功耗。虽然源极跟随器工作电流的减小是有限的, 但是对于 1024×6 像元规模的读出电路, 图 3 所示的输入级结构多达 6144 个, 故通过减小源极跟随器的工作电流来降低读出电路的整体功耗能够达到显著效果。

3.2 TDI 功耗分析

积分电信号从输入单元产生后, 经像元替代及电荷存储两个数字单元后, 将依次经过 6 个两级 TDI 结构进行处理。TDI 结构主要运用采样-保持电路与电荷转移电路来完成信号的传递和计算。图 4 为一个采样-保持电路后连一个电荷转移电路的结构图。

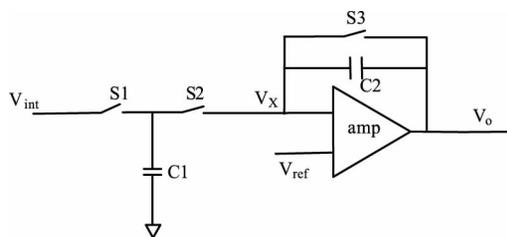


图 4 采样保持与电荷转移结构

Fig. 4 Structure of sample-hold and charge-transfer

从输入级得到的积分信号 V_{int} 要经过采样保持电路后, 输入级才能够对下一周期信号进行积分; 电

荷转移电路将保持住的输入信号先后逐级传递转移至后端的列运放进行处理输出。图4所示结构的工作可以分两个阶段,采样-保持阶段:在该工作阶段,开关 S_1 、 S_3 闭合 S_2 断开,积分信号 V_{int} 被保持在电容 C_1 上,与此同时由于 S_3 的闭合转移电容 C_2 进行复位;电荷转移阶段:开关 S_1 、 S_3 断开 S_2 闭合,由于运放的高增益要求 V_x 仍然等于参考电平 V_{ref} ,因此前一阶段保持在电容 C_1 上积分电压 V_{int} 要在 C_1 与 C_2 上进行重新分配,式(2)~(5)分别给出了上述两个阶段电容 C_1 、 C_2 上电荷的变化情况:

采样-保持阶段:

$$C_1 \text{ 上电荷 } Q_1 = V_{int} \cdot C_1 \quad (2)$$

$$C_2 \text{ 上电荷 } Q_2 = 0 \quad (3)$$

电荷转移阶段:

$$C_1 \text{ 上电荷 } Q'_1 = V_{ref} \cdot C_1 \quad (4)$$

$$C_2 \text{ 上电荷 } Q'_2 = (V_0 - V_{ref}) \cdot C_2 \quad (5)$$

根据电荷守恒原理^[7] $Q_1 + Q_2 = Q'_1 + Q'_2$,将式(2)~(5)代入得:

$$V_0 \cdot C_2 + (C_1 - C_2) \cdot V_{ref} = C_1 \cdot V_{int} \quad (6)$$

取 $C_1 = C_2$,则有 $V_0 = V_{int}$,易见经过采样-保持与电荷转移这两个阶段后,输入信号完成了信号的转移。

在上述TDI工作过程中,功耗主要产生在电荷转移电路的运放中,在此复写式(1)的功耗表达式 $W = P \cdot t = V_{DD} \cdot I_p \cdot T$ 。由于TDI在一个周期 T 内工作分两个部分,令 $T = T_1 + T_2$,其中 T_1 为采样保持时间、 T_2 为电荷转移阶段时间。于是,TDI单元功耗可表示为:

$$W = V_{DD} \cdot I_1 \cdot T_1 + V_{DD} \cdot I_2 \cdot T_2 \quad (7)$$

在读出电路工作周期 T 一定的情况下,为了满足电路整体的逻辑工作正常, T_1 与 T_2 工作时间长度无法改变,因此只能通过改变工作电流来降低整体功耗。为了保证电荷转移速率及向后级传递时的驱动能力,电荷转移时运放的工作电流不宜减小;而在采样-保持阶段,转移电容只完成电容复位动作,运放只需一个小的工作电流以保证其正常工作即可,因此电流 I_2 可酌情减小。下面以图5(a)所示的简单5管结构的全差分放大器替代图4中的运放结构。图5(a)中 M_5 管作为微电流源为差分放大器提供工作电流。设 M_5 管的宽长比 W/L ,尾电流源电流 I_s 。为减小采样-保持阶段的电流,现将尾电流 I_s 在该阶段进行限流,将图5(a)中的 M_5 管拆分成 M_{s1} 与 M_{s2} 并联的形式,改进后的结构如图5(b)所示。

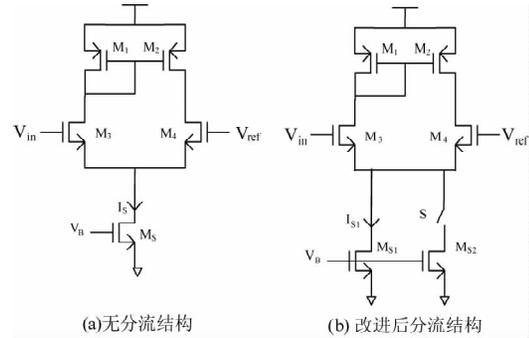


图5 全差分放大器结构

Fig. 5 Structure of fully-differential amplifier

设 M_{s1} 与 M_{s2} 两管的宽长比分别为 W_1/L_1 、 W_2/L_2 ,产生的电流分别为 I_{s1} 与 I_{s2} ;令 $W_1/L_1 = \frac{1}{N} \cdot (W/L)$, $W_2/L_2 = \frac{N-1}{N} \cdot (W/L)$,即 $I_{s1} = \frac{1}{N} \cdot I_s$, $I_{s1} + I_{s2} = I_s$,其中 N 值由电路实际应用情况而定。

在电路采样-保持阶段,开关 S 断开,使得放大器在低电流 I_{s2} 状态下工作;在电荷转移阶段,开关 S 闭合,电流恢复到原电流 I_s ,以保证转移速度。对于大规模读出电路阵列,TDI单元个数数以万计,因此降低TDI单元的功耗对降低读出电路整体功耗做出了巨大的贡献。

3.3 列输出级运放与输出缓冲级运放的功耗分析

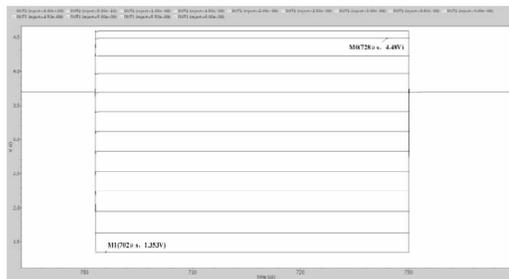
信号经过各级TDI的传输计算后,先后通过列输出级运放与缓冲级运放进行放大处理及稳定输出。为满足读出电路性能要求,这两级放大器在读出电路整个工作周期内要求高速度、大摆幅工作。因此,在电源电压一定的情况下,这两级放大器无法通过改变工作电流及工作时间来降低功耗。考虑到电路每个帧周期只有一个列输出级运放和一个输出缓冲级运放工作,二者产生的功耗不会因为像元规模增加而变大,故为了不影响运放工作性能、不降低读出电路整体性能,对这两个运放不做功耗优化。

4 电路仿真

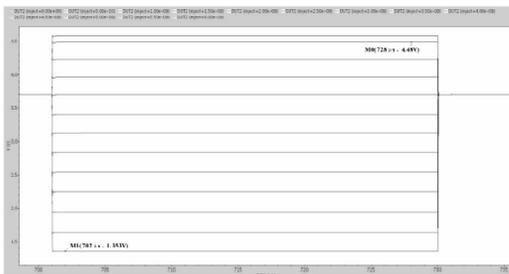
对图2所示的单通道电路进行优化,并对优化前后的单通道分别进行仿真并对仿真结果进行对比分析。

4.1 瞬态仿真

利用Cadence Virtuoso Spectre 仿真器分别对优化前后的单通道电路进行瞬态仿真。仿真时,输入级积分电容设置成20 fF,以0.5 nA为步长对输入电流进行扫描,分别得到图6中优化前后不同输入电流对应的输出电压值。



(a)原始电路瞬态仿真结果

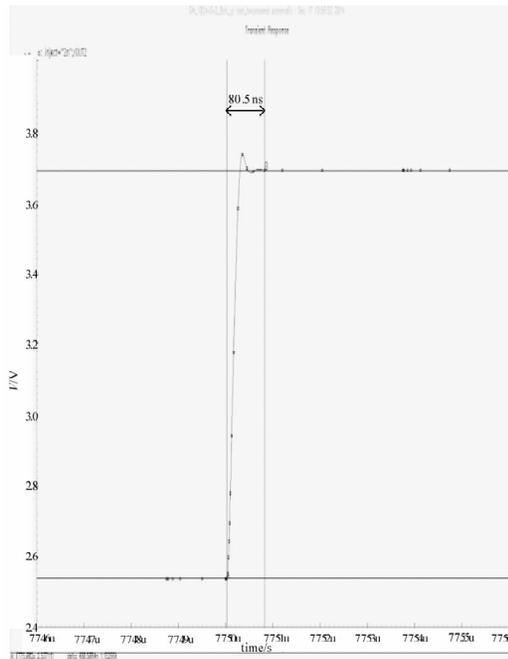


(b)低功耗优化电路瞬态仿真结果

图6 瞬态仿真结果

Fig. 6 Transient simulation result

瞬态仿真结果显示,优化前后电路的线性区间没有改变,线性输出范围为 1.35 ~ 4.48 V。将图 6 中信号的上升沿放大如图 7,可以看出优化前后稳定输出时间均在 80 ns 左右。因此,为了降低功耗而对电路做出的一系列变化并没有对电路的响应速度、线性度和输出范围产生影响。



(b)低功耗电路稳定输出时间

图7 电路稳定输出时间

Fig. 7 Output stability time

4.2 直流仿真

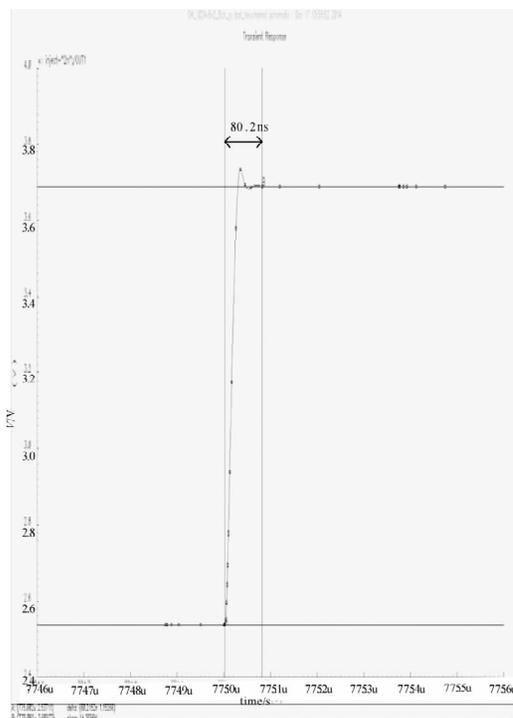
利用 Cadence Virtuoso Spectre 仿真器对 1024 × 6 像元规模,两级 TDI 结构的读出电路进行直流仿真分析。表 1 是通过仿真结果得出的优化前后各部分电路的工作电流,并根据电路实际工作情况,计算出的整个读出电路工作时的总功耗。

表 1 优化前后电路的功耗比较

Tab. 1 power wmparation between original circuit and optimizing circuit

| 模块 | 电流/ μA | | 个数 | 电源电压/V | 功耗/mW | |
|--------|-------------------|------|-----------|--------|--------|--------|
| | 优化前 | 优化后 | | | 优化前 | 优化后 |
| 输入级 | 5.24 | 1.45 | 1024 × 6 | 5 | 160.97 | 44.54 |
| TDI 级 | 1.73 | 0.66 | 1024 × 11 | 5 | 97.43 | 37.17 |
| 缓冲输出级 | 1680 | | 8 | 5 | 67.2 | |
| 列输出级 | 291.68 | | 8 | 5 | 11.67 | |
| 数字电路 | 2000 | | 1 | 5 | 10 | |
| I/O 电路 | 2000 | | 1 | 5 | 10 | |
| 合计 | | | | | 357.27 | 180.58 |

直流仿真数据显示,优化后输入级和 TDI 级功耗降低幅度非常明显,同时读出电路整体功耗较原



(a)原始电路稳定输出

始电路降低了49.5%,低功耗设计效果显著。

5 结 论

本文以像元规模 1024×6 具有TDI功能的线列读出电路为例,从TDI电路原理入手,分析各组成模块的工作原理。在不影响读出电路整体性能的前提下,通过改变电路的部分工作电流和工作时间对电路进行低功耗设计。最后,通过瞬态仿真与直流仿真验证,运用本文所述低功耗设计方法的读出电路较优化前电路在功耗上降低了49.5%,同时并没有对电路整体性能产生影响,这为后续线列TDI型读出电路低功耗设计提供了优化方向。

参考文献:

- [1] Yu-Chuan shih, Chung-Yu Wu. A new CMOS pixel structure for low-dark-current and large-array-size still imager. Applications [J]. IEEE transactions on circuit and system, 2004, 51: 2204 - 2214.
- [2] Chih-Cheng Hsieh, Chung-Yu Wu. A new cryogenic CMOS readout structure for Infrared focal plane array [J]. IEEE Journal of Solid-State Circuits, 1997, 32: 1192 - 1199.
- [3] Chung-Yu Wu. Design, optimization, and performance analysis of new photodiode structures for CMOS Active Pixel Sensor (APS) imager applications [J]. IEEE Sensors Journal, 2004, 4: 135 - 145.
- [4] Richard Tarde, Stefan Lauxtermann. Automatic, in-unit cell offset subtraction for MWIR and LWIR HgCdTe detectors [C] // Infrared Detectors and Focal Plane Arrays VIII. Proc. of SPIE, 2006: 629506-1 - 11.
- [5] FANG Dan. Skill analysis of readout intergrated circuits of IRFPA [J]. Infrared Technology, 2004, 26(2): 23 - 28.
- [6] TANG Ju, LU Wengao. 288×4 IRFPA ROIC with TDI [J]. Infrared Technology, 2007, 29(4): 206 - 210.
- [7] 吴建辉. CMOS 模拟集成电路分析与设计 [M]. 北京: 电子工业出版社, 2004.