

文章编号:1001-5078(2018)05-0595-06

· 红外材料与器件 ·

红外探测器封装陶瓷衬底材料特性及其应用研究

王玉龙, 张磊, 赵秀峰, 张懿, 范博文
(华北光电技术研究所, 北京 100015)

摘要:随着红外探测器阵列规模快速提升,在封装杜瓦要求轻量化、低成本、高效率的形势下,封装杜瓦陶瓷衬底设计难度加大。文章对比了几种科研实际中使用的陶瓷材料特性及其工艺可行性;研究了在测试杜瓦中,随着混成芯片阵列规模的提升,热应力与芯片尺寸的相对关系;研究了 Al_2O_3 、 AlN 、 SiC 衬底材料在降低芯片热应力方面的能力差异;结合目前陶瓷加工工艺水平、加工成本以及探测器阵列规模,给出了 Al_2O_3 、 AlN 、 SiC 衬底材料在实际应用中的选取建议。

关键词:红外探测器;陶瓷衬底;热应力;多层共烧陶瓷

中图分类号:TN213 **文献标识码:**A **DOI:**10.3969/j.issn.1001-5078.2018.05.011

Properties of the package ceramic substrates of infrared detectors and its application

WANG Yu-long, ZHANG Lei, ZHAO Xiu-feng, ZHANG Yi, FAN Bo-wen
(North China Research Institute of Electro-Optics, Beijing 100015, China)

Abstract: With the rapid increase of infrared detector array scale, the package dewar has the requirement of light weight, low cost, high efficiency, so the design of ceramic substrates is more difficult. The properties and technological feasibilities of several ceramic materials were compared. The relationship between thermal stresses and chip sizes was studied. The differences of Al_2O_3 , AlN , SiC substrates were studied in reducing the thermal stresses of the chips. The application conditions of Al_2O_3 , AlN and SiC substrate materials in practical application is given based on the present ceramic processing technologies, cost and detector array scale.

Key words: infrared detector; ceramic substrate; thermal stress; co-fired multilayer ceramic

1 引言

二代探测器及快速发展的三代探测器一个显著特征是阵列规模的提升,同时又对封装杜瓦提出了轻量化、模块化、低热耗、长寿命、高可靠等要求^[1]。与芯片自身可靠性相比,真空杜瓦的可靠性可能是整个探测器组件高可靠的制约因素,系统、深入的研究探测器封装技术是极为必要的,而封装材料是其中的重点。

杜瓦与混联芯片直接接触的部分是陶瓷衬底,衬底为上层的电子元器件提供机械支撑、电气互联、和热传递等作用,杜瓦对外的机械、电气接口以及对制冷机的功率要求都和衬底密切相关,因此衬底是杜瓦封装的关键部件,性能要求极高。需要满足:(1)机械强度高,环境适应性强,能够经受一定的机械负载和温度冲击;(2)电阻率高,绝缘性好,能够在高频环境下满足极高的电绝缘要求;(3)介电常

数小,高频延时对信号影响小;(4)热膨胀系数与芯片衬底材料相近;(5)导热系数高;(6)化学性能稳定^[2-3]。

红外探测器封装与传统的 IC 封装相比,尤其是制冷型红外探测器封装对高低温适配性、导热率、结构强度、材料的低放气率要求更为严格,随着电路处理能力提升及数字化电路的发展在高频抗干扰、低介电常数、大功率散热方面也会有更高的要求^[4]。

经过多年的发展,陶瓷材料封装较金属封装和有机材料封装展现出了很好的应用优势。但不同陶瓷材料之间的性能、成本以及目前的国内工艺水平各不相同,尤其是 AlN、SiC、多层陶瓷共烧等先进材料及加工技术多年来日本、欧洲要领先国内很多,随着国内技术日益成熟,差距在逐步减小。本文就不同陶瓷材料在不同阵列规模的探测器封装中的应用进行了探究。

2 杜瓦陶瓷衬底材料

2.1 红外探测器中陶瓷衬底应用简介

在红外探测器及其他军事电子领域,陶瓷封装高可靠、耐高频、耐高低温、气密性强,是主要的封装形式,最常使用的有 Al_2O_3 、AlN、SiC 等。红外探测器中使用陶瓷衬底一般是结合半导体工艺进行使用,在表面作出导带引线,通过与芯片键合实现信号传输。图 1 是法国 Sofradir 公司 MW 640 × 512 (15 μm) 探测器芯片,使用单片的氧化铝陶瓷衬底。图 2 是美国 RockWell 公司拼接 4K × 4 K 器件,单模块使用 HTCC 陶瓷衬底互联。图 3 是以色列 SCD 公司 2048 × 16 拼接器件,使用 4 片 520 × 16 InSb 器件模块通过钢柱倒装焊的方式拼接在一大块多层布线 AlN 陶瓷衬底上面。

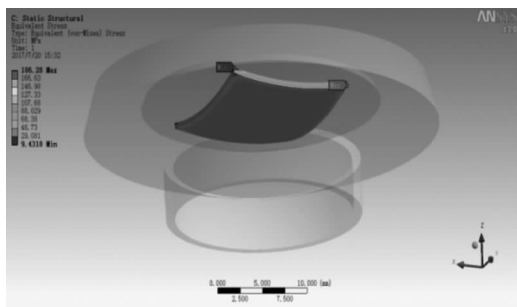


图1 Sofradir MW 640 × 512 (15 μm) 探测器及芯片

Fig. 1 Sofradir MW 640 × 512 (15 μm) IR detector

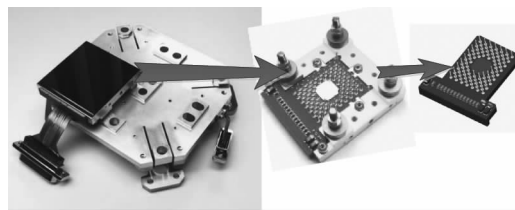


图2 RockWell 公司拼接 4K × 4K 器件模块

Fig. 2 RockWell 4K × 4K splicemodule and chip

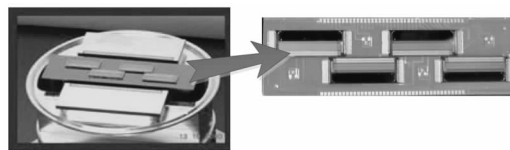


图3 SCD 公司拼接 2048 × 16 拼接器件

Fig. 3 SCD 2048 × 16 splice device

2.2 氧化铝 (Al_2O_3)

Al_2O_3 陶瓷以 $\sigma - \text{Al}_2\text{O}_3$ 为主要晶相成分,原料来源丰富,性能良好,而且发展早、应用广,占到整体陶瓷封装基片总量的 90% 左右^[5],根据含量及添加材料的不同会呈现出不同的颜色和性能,其中含量 96% 的氧化铝材料广泛用于基片材料。

二代探测器的阵列规模基本都在百万像素以下, Al_2O_3 陶瓷衬底性能基本满足绝大多数的探测器需求,国内工艺线技术成熟、产能较大。但就材料性能而言, Al_2O_3 材料热膨胀系数 $7.2 \times 10^{-6}/^\circ\text{C}$ 和介电常数 9.7 较硅略高,而导热系数 $33 \text{ W}/(\text{m} \cdot \text{K})$ 又不够高,在超大规模、高频、大功率芯片封装中会体现出劣势。

2.3 氮化铝 (AlN)

AlN 陶瓷是 20 世纪 90 年代开始深入研究的新型材料,相较于 Al_2O_3 其导热率、热膨胀系数、介电常数、结构强度、化学性能各方面都有很大的提升,尤其是其理想的导热率可以达到 $260 \sim 300 \text{ W}/(\text{m} \cdot \text{K})$,热膨胀系数与 Si 和 GaAs 也更为适配,是极为理想的半导体封装基板材料,尤其是在高频 IC、微波器件、高低温电子封装领域优势明显。

但是 AlN 其烧结温度需要控制在 $1600 \sim 1800 ^\circ\text{C}$ 之间,烧结环境严苛,完成产品性能受其材料纯度和烧结密度的影响极大,工艺难度大、成本高。国内目前的工艺产能较低,只有少数的生产线,且烧结产品的精度不高,价格昂贵,加工周期不可控^[6]。

2.4 碳化硅 (SiC)

在对热变形要求极为严苛的封装环境中, SiC 的热膨胀系数和 Si 极为相近,可以有效减小热失配带来的应力损害,而且 SiC 机械强度高,硬度仅次于

金刚石和立方 BN, 导热系数大, 室温下甚至可以达到 $100 \sim 490 \text{ W}/(\text{m} \cdot \text{K})$ 。

SiC 在结构和热学方面的性能优良, 但同时带来了难以烧结、加工难度大等问题。而且 SiC 的介电常数太高, 在高频芯片封装中带来的信号延迟不可忽略。目前国内 SiC 工艺线极少, 在技术上与国外还有一定的差距^[7]。表 1、表 2 为一些陶瓷材料的特性对比。

表 1 陶瓷材料参数对比

Tab. 1 Parameters comparison of the ceramics

材料 \ 参数	Al ₂ O ₃ (96%)	AlN	SiC	Si
热膨胀系数/ $(\times 10^{-6}/^{\circ}\text{C})$	7.2	4.2	2.8	2.4
热导率/ $(\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1})$	33	260	270	160
相对介电常数/(1 MHz)	9.3	8.9	40	11.9
介电损耗/(1 Hz, $\times 10^{-4}$)	3	7	500	/
电阻率/ $(\Omega \cdot \text{m})$	$> 10^{14}$	$> 10^{14}$	$> 10^{14}$	2.52×10^{-4} (常温)
抗弯强度/MPa	260 ~ 400	275 ~ 500	440	/
密度/ $(\text{g} \cdot \text{cm}^{-3})$	3.75	3.25	3.2	2.33

表 2 Al₂O₃、AlN、SiC 特性对比

Tab. 2 Properties comparison of Al₂O₃、AlN and SiC

特性材料	热性能	电性能	加工难度	成本	生产周期
Al ₂ O ₃ (96%)	良	优	易	中	中
AlN	优	优	中	高	长
SiC	优	中	难	高	长

从表 1 和表 2 中可以看出, AlN 各方面参数都要优于 Al₂O₃, 但是在成本、产能和加工周期上具有劣势, SiC 热学性能突出, 但是介电常数高, 硬度高。针对于探测器封装时衬底材料的选择, 像元面积小、功率低的芯片可以选用低成本、高效率的 Al₂O₃, 大阵列、高功率的可以选用 AlN, 低频时还可选用 SiC。

还有其他一些陶瓷材料比如 BeO、BN 等, 某一方面性能较突出, 在局部领域会有应用, 但因为有毒性或者加工成本极高限制其推广使用。

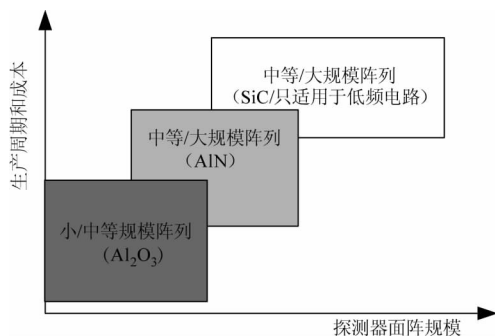


图 4 Al₂O₃、AlN、SiC 特性对比

Fig. 4 Properties comparison of Al₂O₃、AlN and SiC

3 大阵列、高密度下的多层陶瓷衬底

大阵列规模芯片要求陶瓷衬底良好的导热特性和较低的热膨胀系数, 还会有较多的电学引脚, 因此电学引线的长度和密度会变得极大。而杜瓦有要求内部体积足够小, 多层共烧陶瓷衬底在减小引线长度, 缩小衬底体积方面效果显著。多层共烧陶瓷是由切割完成的单片陶瓷经过叠层、热压、排胶、烧结等工艺完成的, 各层之间可单独布线, 增加了布线密度和信号传输速度, 减小了衬底和整体杜瓦组件的体积, 适应探测器小型化、大面阵、大功率的发展需求^[8]。多层共烧陶瓷根据烧结温度分为高温共烧陶瓷 (HTCC, High temperature co-fired ceramic) 和低温共烧陶瓷 (LTCC, Low temperature co-fired ceramic)。

3.1 高温共烧陶瓷 (HTCC)

高温共烧的温度在 $1650 \sim 1850^{\circ}\text{C}$ 之间, 烧结的单片陶瓷材料一般为 Al₂O₃ 和 AlN 等高温烧结材料, 由于烧结温度高不能使用金、银、铜等低熔点的金属材料, 所以 HTCC 使用的是钨、钼、锰等高熔点材料。HTCC 继承了 Al₂O₃ 和 AlN 的优势, 会作为大阵列规模芯片的衬底使用, 但由于高熔点导带材料的使用使得电导率降低, 会造成信号的 RC 延时, 在高频组件中将不可忽略^[9]。

3.2 低温共烧陶瓷 (LTCC)

低温共烧的温度在 $800 \sim 980^{\circ}\text{C}$ 之间, 使用的生瓷带材料体系为玻璃-陶瓷混合体系, 导带浆料可以是 Cu、Ag、Au 等低熔点、低电阻率的材料。LTCC 的烧结工艺控制更加容易, 成品的介电常数低, 尤其是高频性能优良。

但 LTCC 明显的不足之处就是材料的导热系数较低 ($2 \sim 6 \text{ W}/(\text{m} \cdot \text{K})$) 而热膨胀系数较高, 这两项性能都远差于 Al₂O₃ 和 AlN 基片, 影响了 LTCC 广泛应用^[10], 常作为电学过渡板使用。

4 杜瓦陶瓷衬底材料选取与探测器尺寸关系

文章结合红外探测器杜瓦封装的实际工艺应用, 对不同阵列规模的芯片使用不同的陶瓷衬底进行封装, 如表 3 所示。通过仿真分析对比其电路和焦面的热应力值, 结合经验数值判断选取最优封装方案。

表3 仿真选取芯片及框架的尺寸序列 单位:mm

Tab.3 Size series of the selected chips and substrates in simulation Unit:mm

序号	芯片大小	对角线尺寸	框架直径	框架放大系数	对应芯片类型
1	15 × 10	18.03	21.6	1.2	MW320 × 256(25 μm)
2	20 × 15	25	30	1.2	MW640 × 512(25 μm)
3	25 × 20	32.02	38.0	1.2	MW1280 × 1024(15 μm)
4	30 × 25	39.05	46.8	1.2	LW1280 × 1024(25 μm)

4.1 不同衬底材料下芯片热应力水平研究

通过使用不同陶瓷材料,探究材料对应力水平降低的作用,本文仿真对比了 Al_2O_3 、 AlN 、 SiC 的应力水平,当温度从室温(20℃)降至探测器工作温度(77 K)过程中,由于材料热失配产生的热应力会对探测器混成芯片产生破坏。仿真环境模拟芯片在测试杜瓦中的封装环境,冷头部分包含了冷台、框架和混成芯片,如图5所示。

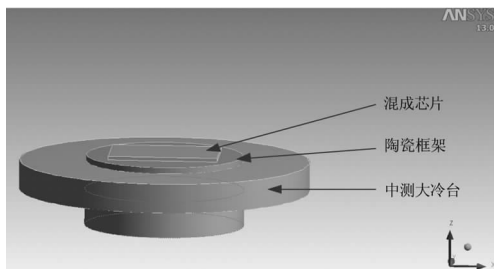
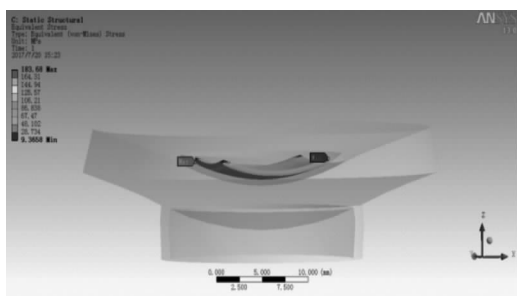
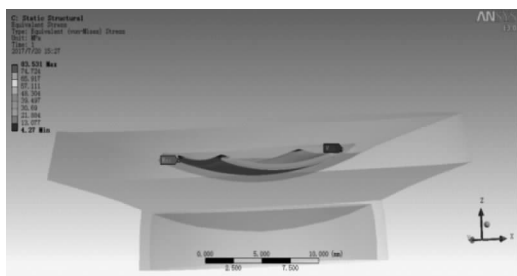
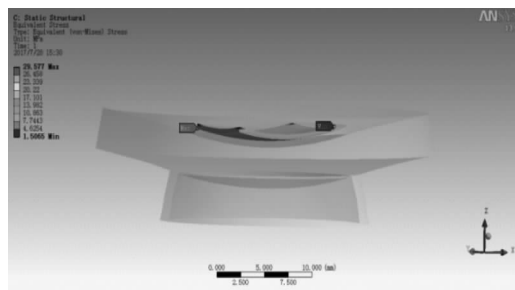


图5 测试杜瓦结构

Fig.5 Structure of the test Dewar

仿真使用芯片大小为 15 mm × 10 mm,衬底材料分别为 Al_2O_3 (图6)、 AlN (图7)、 SiC (图8),冷台材料设计为铜钨,进行三组仿真对比分析。

图6 Al_2O_3 衬底热应力值Fig.6 The thermal stress value of Al_2O_3 substrate图7 AlN 衬底热应力值Fig.7 The thermal stress value of AlN substrate图8 SiC 衬底热应力值Fig.8 The thermal stress value of SiC substrate

通过图9可以看出使用 AlN 和 SiC 的衬底对于降低混成芯片的应力值效果非常显著,而且 AlN 和 SiC 的热传递系数较高,数倍于 Al_2O_3 ,极有利于降低混成芯片的到温时间和提升芯片整体温度均匀性。同时 SiC 的机械强度要优于 AlN , AlN 的较优于 Al_2O_3 ,所以焦平面法向的离面形变也得到了很好的控制。

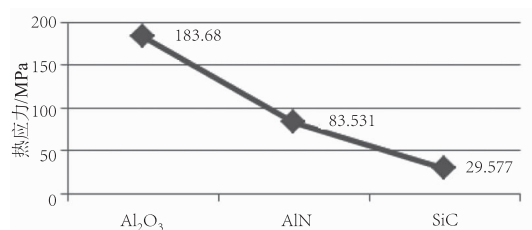


图9 不同衬底热应力值对比

Fig.9 The thermal stress values comparison of different substrate materials

4.2 不同阵列规模芯片热应力水平研究

对表3中给出的芯片阵列规模系列值,当从室温降温至工作温度时,通过对比在同一测试杜瓦中,同种衬底材料下不同阵列规模的芯片的热应力水平,仿真结果如图10~13所示。

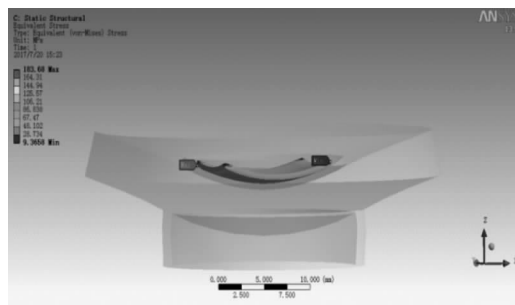


图10 15 × 10 阵列热应力值

Fig.10 The thermal stress value of 15 × 10 array

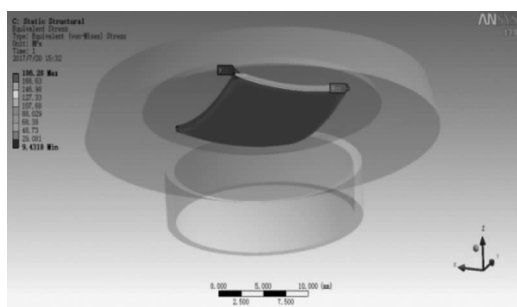


图 11 20×15 阵列热应力值

Fig. 11 The thermal stress value of 20×15 array

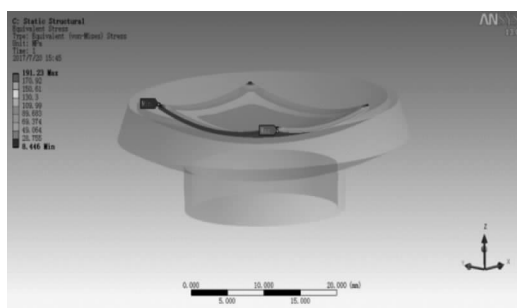


图 12 25×20 阵列热应力值

Fig. 12 The thermal stress value of 25×20 array

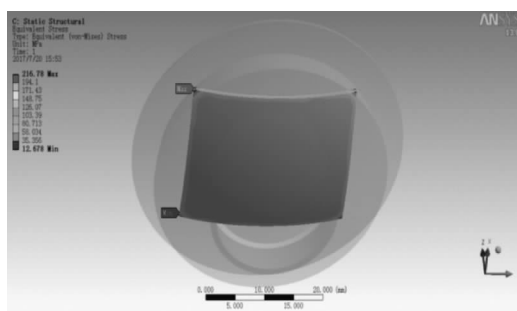


图 13 30×25 阵列热应力值

Fig. 13 The thermal stress value of 30×25 array

通过图 14 可以看出阵列规模的提升与热应力值呈正相关,且增大的趋势越来越明显。根据经验值 15×10 规模的芯片可以直接使用单层 Al_2O_3 衬底进行封装,20×15 和 25×20 阵列的需要使用多层 Al_2O_3 衬底进行封装,而 30×25 阵列使用 Al_2O_3 框架就会出现裂片现象了,应使用 AlN 、 SiC 材料,甚至是多层衬底搭配使用。

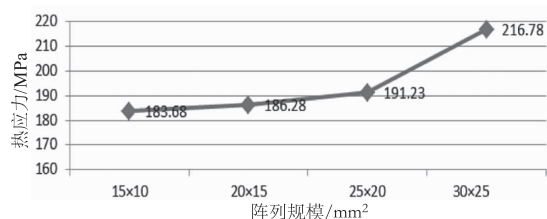


图 14 不同阵列规模芯片热应力值

Fig. 14 The thermal stress values of chipswithdifferentarrayscales

4.3 不同阵列规模芯片对不同衬底材料热应力水平研究

根据芯片阵列规模和衬底材料的不同,进行交叉仿真分析,结果如表 4 所示。

表 4 不同阵列规模、衬底材料

芯片热应力值 单位:MPa

Tab.4 The thermal stress values of chipswith differentarray scales and substrate materials

	Unit:MPa			
材料阵列/mm ²	15×10	20×15	25×20	30×25
Al_2O_3	183.68	186.28	191.23	216.78
AlN	83.531	85.826	89.482	106.11
SiC	29.577	29.856	31.518	38.808

由上表可知使用 AlN 和 SiC 衬底对于降低混成芯片应力值效果显著,尤其是对于 20 mm×15 mm 规模以上的芯片,工程实际中使用单层的 Al_2O_3 会出现裂片,但使用单层的 AlN 即可将热应力值降低到极低的安全范围。35 mm×30 mm 规模以上的芯片虽未在图表中进行对比分析,但若只使用单层的 AlN ,会有裂纹产生,随着多次降温冲击裂纹逐渐生长,有损坏的风险,因此需要搭配多层 AlN 结构或者 SiC 衬底使用。

受到材料加工难度和国内工艺的限制, AlN 目前的产能有限,工艺周期和成本大约均为 Al_2O_3 的 2 到 3 倍。 SiC 目前的国内工艺线较少,除了产能和加工周期限制以外,在其上做半导体及互联工艺还有一些技术难点和试验没有充分验证,图 15 为不同芯片规模下衬底材料选用要素对比。

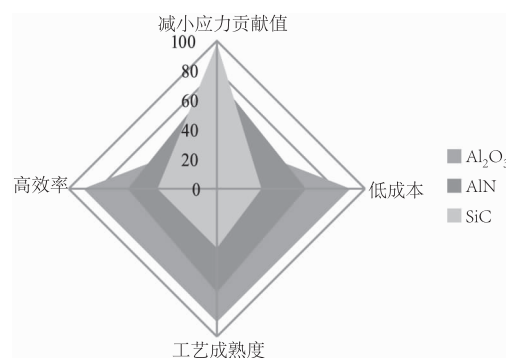


图 15 不同芯片规模下衬底材料选用要素对比

Fig. 15 Comparison of selection of substrate materials under different chip sizes

5 结 论

随着芯片阵列规模的提升,混成芯片热应力值会相应增大,对衬底材料要求越高。考虑到封装成本和加工工艺难度,工程中使用 Al_2O_3 工艺成熟,效率高,成本低,应用范围广。但随着芯片阵列规模提升使用 AlN 和 SiC 衬底可有效降低混成芯片热应力值。

但以目前的国内工艺水平, AlN 加工周期较长, SiC 的工艺水平和周期都有制约,对于常规阵列的在低成本、高效率封装趋势下,使用 Al_2O_3 依旧是最佳方案。

对于 $20\text{ mm} \times 15\text{ mm}$ 规模以下的芯片,工程实际中可使用单层的 Al_2O_3 ;对于 $20\text{ mm} \times 15\text{ mm}$ 规模以上的芯片可使用多层 Al_2O_3 或单层的 AlN ; $35\text{ mm} \times 30\text{ mm}$ 规模以上的芯片需要搭配多层 AlN 结构或者 SiC 衬底使用。

参考文献:

- [1] CHEN Xing. Research on the related technology of HgCdTe infrared focal plane detector reliability [D]. Shanghai: Chinese Academy of Sciences, Shanghai Institute of Technical Physics, 2014. (in Chinese)
陈星. 碲镉汞红外焦平面探测器可靠性相关技术研究 [D]. 上海: 中国科学院上海技术物理研究所, 2014.
- [2] YANG Ye, ZHU Kuizhang, LIU Ting, et al. Packaging technology of infrared detector [J]. Cryogenics & Superconductivity, 2010, 38(12): 4-8. (in Chinese)
仰叶, 朱魁章, 刘婷, 等. 红外探测器封装技术 [J]. 低温与超导, 2010, 38(12): 4-8.
- [3] GUAN Rongfeng. Research on MEMS device design, packaging process and application [D]. Wuhan: Huazhong University of Science & Technology, 2006. (in Chinese)
关荣锋. MEMS 器件设计、封装工艺及应用研究 [D]. 武汉: 华中科技大学, 2006.
- [4] ZHU Fulong. Research on some basic issues of MEMS packaging based on process mechanics [D]. Wuhan: Huazhong University of Science & Technology, 2009. (in Chinese)
朱福龙. 基于工艺力学的 MEMS 封装若干基础问题研究 [D]. 武汉: 华中科技大学, 2009.
- [5] CHEN Xiao. The research on the preparation of black alumina substrate used in multilayer layout [D]. Wuhan: Huazhong University of Science & Technology, 2007. (in Chinese)
陈晓. 多层布线用黑色氧化铝基片制备技术研究 [D]. 武汉: 华中科技大学, 2007.
- [6] HU Yongda. Study of the character of aluminum nitride co-fire metallization and multilayer thin film metallization [D]. Chengdu: University of Electronic Science and Technology of China, 2002. (in Chinese)
胡永达. 氮化铝共烧基板金属化及其薄膜金属化特性研究 [D]. 成都: 电子科技大学, 2002.
- [7] PANG Qiaolian. Synthesis and characterization of silicon carbide materials [D]. Ji'nan: Shandong University, 2010. (in Chinese)
庞巧莲. 碳化硅材料的合成与表征 [D]. 济南: 山东大学, 2010.
- [8] LONG Le. LTCC substrate and its packaging application [J]. Electronic & Packaging, 2006, 6(11): 5-9. (in Chinese)
龙乐. 低温共烧陶瓷基板及其封装应用 [J]. 电子与封装, 2006, 6(11): 5-9.
- [9] Richard J Peralta, Eric Beuville, Elizabeth Corrales. Recent focal plane arrays for astronomy and remote sensing applications at RVS [C]. SPIE, 2010, 7742: 77421L.
- [10] Schmid U, Bittner A, Zeilmann C, et al. Investigation on micromachining technologies for the realization of LTCC devices and systems [C]. SPIE, 2011, 8066: 80661.