Vol. 49, No. 1 January, 2019

文章编号:1001-5078(2019)01-0009-11

·综述与评论·

硅基异质集成化合物半导体技术新进展

张东亮,杨 凝,刘大川,林 霄,王伟平,丁子瑜,胡小燕,汪志强 (中国电子科技集团公司信息科学研究院,北京100086)

摘 要:随着摩尔定律即将走向尽头,以及军民电子信息系统对多功能集成、高密度集成、小体 积重量、低功耗、大带宽、低延迟等性能的持续追求,将多种化合物半导体材料体系(如 GaN、 InP、SiC 等)的功能器件、芯片,与 CMOS 集成电路的芯片进行异质集成的技术正在拉开序幕, 将在微电子、光电子等领域带来一场新的革命,硅基异质集成也被认为是发展下一代集成微系 统的技术平台。本文梳理了射频微电子学与硅光子学领域中以化合物半导体为主的材料(或 芯片)与硅半导体材料(或芯片)异质集成的最新进展,以期国内相关领域研究人员对国外的 进展有一个比较全面的了解。

关键词:微系统;异质集成;射频微电子;硅光子集成;三维集成 中图分类号:TN453 文献标识码:A DOI:10.3969/j.issn.1001-5078.2019.01.002

New progress in heterogeneous integration of compound semiconductors on silicon

ZHANG Dong-liang, YANG Ning, LIU Da-chuan, LIN Xiao,

WANG Wei-ping, DING Zi-yu, HU Xiao-yan, WANG Zhi-qiang

(Information Science Academy, China Electronic Technology Group Corporation, Beijing 100086, China)

Abstract: As Moore's law is coming to an end, and the continuous pursuit of multi-functional integration, high density integration, small volume weight, low power consumption, large bandwidth, low delay, and so on, heterogeneous integration of functional devices and chips of various compound semiconductor material systems (such as GaN, InP, SiC, etc.) with chips of CMOS integrated circuit is beginning, which will bring a new revolution in the post Moore era. The silicon-based heterogeneous integration is also regarded as the technical platform for the development of the next generation integrated microsystems. The latest developments in the heterogeneous integration of compound semiconductor materials (or chips) with silicon semiconductor materials (or chips) in the field of RF microelectronics and silicon photonics are reviewed in the article, so as to provide domestic researchers with a more comprehensive understanding of the progress abroad.

Key words: microsystem; heterogeneous integration; RF microelectronics; silicon photonics; 3D integration

1 引 言

基于硅的 CMOS 技术已经达到了巨大的复杂度 和集成度,同时也显示出比任何化合物半导体技术 更高的良率和可制造性、可靠性,CMOS集成电路成为现代信息技术的基石,并且硅CMOS工艺技术以及衍生出来的技术逐渐应用在MEMS、硅基光子集

作者简介:张东亮(1986 -),男,博士,主要研究方向为光电微系统,光子集成与微光机电技术。E-mail:zdl_cetc@163.com **通讯作者:**汪志强(1975 -),男,研究员,主要从事信号处理,微系统技术研究以及战略研究。E-mail:wzqok@sina.com **收稿日期:**2018-05-22;**修订日期:**2018-07-14

成等新兴领域。与此同时,化合物半导体具有比硅 材料更加丰富的材料体系和多种多样的光学、电学 特功能,伴随着材料生长技术的进步,科研人员可以 比较容易地对化合物半导体材料的光、电性能进行 人工能带设计和剪裁,使其在高速电子学和光电子 领域具有不可替代的优势和广阔的应用前景:

其一,在高速电子学应用方面,化合物半导体材 料比硅材料优越的材料电子性能驱动着化合物半导 体电子学不断的向前发展。例如,基于高电子迁移 率和高饱和速率的 InP 基半导体材料体系制作出工 作频率带宽达到1 THz 的晶体管,以及超高速混合 信号处理电路;基于大带隙的 GaN 材料的射频高功 率电子器件,能够承受大的电压波动和高击穿电压; SiC 材料优异的导热系数也使几十千瓦级的功率开 关成为可能。此外,以 AIN 为代表,基于各种化合 物半导体材料的片上高 Q 值的微机电谐振器和开 关,已经证明其可以用于时钟参考和频率选择滤 波器。

其二,在信息光电子应用领域方面,相比于发光 效率极低的间接带隙的 Si 材料体系,以 GaAs、InP、 GaN 材料体系为主导的各类激光器、光电探测器、 调制器、光放大器等光电器件与芯片广泛应用在光 电照明、显示、光通信领域,奠定了信息时代光网络、 光信息处理的硬件基础。

随着技术的发展与融合,将基于 Si 材料的微电 子芯片、光子集成芯片, MEMS 器件等, 与基于化合 物半导体材料的功能器件、芯片进行异质集成(heterogeneous integration),再加上新的算法、系统架构, 实现系统的高密度功能集成和性能倍增,可以构建 出远远超越原有技术性能的芯片或片上系统一微系 统,引起了广泛的研究关注。异质集成技术将对现 有电子信息系统产生革命性影响,如 Micro - PNT 微 型定位导航授时技术^[1]、多核 CPU 光互连^[2]、三维 集成相控阵阵列^[3]、芯片级相控阵激光雷达^[4]等。 在此需要说明一下,国外只用"heterogeneous integration"描述不同质材料或器件、芯片的晶圆级、芯片 级集成。至于是通过外延生长(heteroepitaxy),还是 键合(bonding)、多芯片组件(Multi-chip module, MCM)、硅转接板(Silicon Interposer)、三维封装(3D packaging)、硅通孔互连(Through Silicon Via, TSV),以及扇出型晶圆级封装(Fan-out wafer level packaging, Fo-WLP)等,都是实现异质集成的不同技术 途径。国内研究人员对英文"heterogeneous integration"的解释有异质集成和异构集成两种,国内对异 质集成强调的是通过在硅衬底上外延生长(对应的 英文是"heteroepitaxy")不同质材料,然后通过半导 体工艺加工形成的多种功能半导体材料在一个衬底 上单片集成的芯片,异构集成是指通过三维系统级 封装(如键合、硅通孔互连、硅转接板互连、晶圆级 封装等)将制造完成的不同功能材料的芯片进行系 统三维集成。

本文中统一将"heterogeneous integration"翻译 成异质集成,主要分别阐述了在射频电子技术领域 和硅基光子集成领域中,各自领域的发展需求以及 硅基异质集成化合物半导体技术取得的最新进展 情况。

2 异质集成射频电子技术

2.1 毫米波技术的发展需求与面临的挑战

现代应用平台要求微波与毫米波系统使用电磁 频谱的方式越来越复杂,同时对系统的功耗、体积、 重量的要求越来越苛刻。特别是以 5G 通信、车载 雷达、微纳卫星、导引头等新应用为例,毫米波被用 于通信和传感媒介,对射频前端电子技术提出了很 高的要求。毫米波电子学的一个宏大的商业应用案 例就是 Facebook 和 Google 雄心勃勃的项目——通 过无人机、卫星和气球实现无线网络覆盖全 世界^[5]。

对于一个给定的有效孔径面积,随着波长减小, 天线增益会同时增加,可以部分缓解毫米波比微波 辐射具有更高的大气吸收损耗效应。正在出现新的 系统架构要求使用波束形成技术以产生更大的天线 发射和接收增益来补偿路径损耗。为了满足毫米波 相控阵波束形成的需求,研究人员提出了芯片和圆 片级集成的阵列天线新方案,该方案比目前部署的 商用无线天线方案复杂得多,同时也面临诸多的挑 战:衬底和无源元件损耗的增加;在高频波段有源器 件性能的下降;更高的数据传输速率将需要更高带 宽、更高分辨率的数模转换器(DAC)和模数转换器 (ADC)技术;同时又要满足移动手持终端要求的低 功耗。更高的载波频率将需要更高速度的射频电子 器件和放大器,即要比目前的射频电子器件具有改 进的功率 – 频率限制。同时,低噪声放大器(LNA) 工作时要有非常小的噪声系数(NF)。

要满足以上这些新技术方案的要求,实际上需 要各种功能的化合物半导体器件和 CMOS 电路相互 配合。如图 1 所示,用 Johnson 品质因数^[6](晶体管 截止频率和击穿电压的乘积,作为纵坐标)与集成 电路(IC)复杂度(如晶体管数量,作为横坐标)评价 几种半导体材料和对应器件类型的综合性能。到目 前为止,硅 CMOS 工艺是最先进、最重要的半导体技 术,在集成复杂性方面超过了最先进的化合物半导 体砷化镓(GaAs)约四个数量级,然而其 Johnson 品 质因数低于几类化合物半导体器件约 1~2 个数量 级。目前使用的半导体材料中,氮化物基半导体器 件(如图 1 中所示的 GaN)具有最高的 Johnson 品质 因数,但是氮化物半导体芯片只有很小的集成度,难 以实现复杂的芯片功能。



品质因数与对应的集成电路复杂度

Fig. 1 The plot of the Johnson figure of merit versus integration complexity classified by a variety of material and device technologies

在高速电子领域, RF CMOS^[7]和 SiGe HBT (Heterojunction bipolar transistor,异质结双极性晶体 管)^[8]电子器件的速度一直在持续增加,开始进入 几百个 GHz 的频率范围。这些成果可以归因于在 过去 50 年以来摩尔定律驱动的微电子器件持续缩 微和芯片集成度持续增加。此外,尽管 Si 材料体系 自身有缺点,利用硅基技术的集成密度优势,通过布 置硅基 CMOS 片上数字校正和线性化技术,使得硅 基射频和混合信号电子电路也具有优良的性能。这 样的校正技术同样有可能应用并改进基于III – V 族 半导体的射频和混合信号电子电路性能;然而,III – V 族半导体技术本身缺乏实施这些矫正技术所需的 电路集成度和良率水平。鉴于这些材料体系不同的 技术优势和应用需求的发展,未来的高性能射频和 混合信号电子电路将依赖于硅与化合物半导体的异 质集成,即整合不同材料的优势。特别是异质集成 技术将大大降低相控阵系统的体积、功耗,提升带宽 和灵活性,因而备受美国国防高级研究计划局 (DARPA)的重视。

2.2 硅基异质集成射频电子技术与应用进展

在历史上,半导体工业主要是在宏观尺度上应 对异质集成的挑战:基于微组装的方法,如封装和 IC 堆叠(利用引线键合或倒装芯片互连)。这种集 成方式一方面有利于组件集成前的测试,另一方面 在器件技术和供应商选择上具备更多的灵活性。当 前,以硅转接板和晶圆级封装集成为代表的更先进 的异质集成技术正在获得广泛的关注,这些技术早 期主要是针对硅同质器件集成(homogeneous integration),例如基于Si的逻辑芯片和存储器、FPGA 等。DARPA 最先于 2007 年启动"COSMOS" (Compound Semiconductor Materials on Silicon, 硅上集成化 合物半导体材料)项目,主要致力于开发新的异质 集成方法,将化合物半导体技术紧密地集成到最先 进的硅 CMOS 电路中,以达到前所未有的电路性能 水平。DARPA 为了在微波毫米波电子系统中发挥 异质集成的价值,通过多种计划投资于微波/毫米波 应用的异质集成技术开发。如图 2 所示,以时间轴 来概述这些项目和对应技术的发展脉络,可以看到 技术路线是沿着"晶体管级异质集成"——"良率提 升和电路级异质集成"——"先进功能电路级异质 -"复杂微系统级异质集成"。 集成"-





集成的射频和混合信号电路。这些方法包括:(a) 微米级的 InP 晶片与后端工艺处理完成之后的 CMOS 电路在晶圆级键合^[9];(b)外延层的转移印 刷方法,其中未经加工的 InP 基异质结构层转移到 一个完全处理完成的硅 CMOS 芯片上,然后再做 化合物半导体器件的工艺,并与 CMOS 电路互 连^[10];(c)直接异质外延方法,即晶格匹配缓冲层 外延和选区外延^[11],外延完成之后再进行器件互 连工艺。这三种集成方法的示意图以及器件实物 结构,如图 3 所示。



图 3 DAHI/COSMOS 项目中开发的三种实现 CMOS 芯片上异质集成 InP HBT 技术示意图 Fig. 3 Three heterogeneous integration processes being pursued in the DAHI/COSMOS program

以上这三种方法都完成了异质集成差分放大器 电路演示验证,该电路同时集成了作为差分对的 InP HBT 和作为负载和电流源的 Si CMOS 芯片,直流增 益和增益带宽积的指标都达到了世界纪录。以一个 有代表性的射频收发前端为例,图4 说明了 RF/混合 信号系统中应用异质集成带来的巨大潜力,异质集成 对象涵盖 InP、GaN、Si CMOS/SiGe BiCMOS、MEMS。 从本质上讲,一个典型的收发前端的所有主要器件都 可以从应用异质集成技术后所减少的寄生效应获得 性能上的提升,该技术充分发挥了在硅 CMOS 电路控 制和校准下的化合物半导体器件的优越性能。

COSMOS项目后来又演示了更加复杂的异质集 成信号处理电路,包括 ADC 和 DAC。这些电路通过 将高速 InP HBT 器件异质集成在深亚微米工艺的 CMOS 电路上,实现了一系列先进的自校准和自恢 复技术。这些技术不能通过单独的 InP 基电路实 现,但 InP 基 HBT 提供了更高的速度、更大的击穿 电压、更好的晶体管匹配,这些优点也是 Si 基 CMOS 工艺的混合信号电路无法比拟的。图 5 是 COSMOS 项目报道的一款 ADC 集成电路实物图,代表了当前 最复杂的异质集成 IC 的水平^[12],该 ADC 设计采用 一种时间交织架构,使用 InP 基 HBT 作为跟踪保持 电路,130 nm Si CMOS 芯片提供子 ADC 和复杂时间 交织所需的电路。该芯片包含约 1000 个 InP 基异 质结双极晶体管,16000 个 Si 基异质结双极晶体管 和 2500 个硅金属氧化物半导体场效应晶体管,以及 包括 1800 多个 InP 基异质结双极晶体管,以及 包括 1800 多个 InP 基异质结双极晶体管小芯片与 Si 基芯片之间的异质互连线结构。这款目前最先 进的 超 宽带 模数转换器在 2.75~8.75 GHz、 14.25~20.25 GHz 的带宽频率范围的信噪比和失 真比大于 30 dB。尽管只是使用 130 nm CMOS 工 艺,但其性能可与 32 nm CMOS 工艺制程的 ADC 相 提并论,该项目验证了异质集成的能力:既可以改善 旧 CMOS 工艺节点芯片的性能,又能增强先进 CMOS 工艺的芯片性能。



图 4 一个典型的应用多材料体系异质集成的射频收发系统 Fig. 4 A representative transceiver system is a typical application that can leverage heterogeneous integration



图 5 COSMOS 项目报道的一款 Si CMOS 芯片上异质集成 InP 芯片的 ADC 集成电路 Fig. 5 A micrograph of a COSMOS ADC showing the InP chiplet and Si CMOS base chip

COSMOS 项目显著地提高了异质集成的技术水 平,并展示了该技术用于产生革命性微系统的潜力。 在 COSMOS 项目成功的基础上, DAHI 项目(Diverse Accessible Heterogeneous Integration Foundry Technology)于2013年启动,该项目致力于先进的多种化合 物半导体材料与器件在硅基平台上的集成,同时致 力于通过建立高效可信的器件级异质集成 Foundry 线的工艺代工制造能力,促进该技术和工艺平台在 国防和消费电子领域的微系统设计上发挥重要价 值。如图6所示。



图 6 DAHI 项目研制的 65 nm CMOS 工艺 芯片上异质集成 MPW 晶圆的显微照片 Fig. 6 A micrograph of the DAHI MPW fabricated reticle using a 65 nm base technology

目前, DARPA 通过依托诺思罗普· 格鲁曼 (Northrop Grumman Aerospace Systems, NGAS) 建立 了射频微系统异质集成晶圆制造工艺线,并启动 DAHI MPW 流片项目,该工艺是在 65 nm Si CMOS 工艺平台上异质集成了 0.25 μm 的 InP HBTs 和 0.2 μm 的 GaN 高迁移率晶体管(high-electron-mobility transistors, HEMTs)^[13],并且是在 CMOS 芯片后 道工艺完成后进行晶圆级异质集成实现的,这是首 例实现三种半导体材料的器件在晶体管级的异质集 成。这个 MPW 项目包含了许多设计,包括异质集 成Q波段压控振荡(VCO)放大器链路^[14]。基于 InP的VCO在35 GHz中心频率处可以实现2 GHz 调谐范围, 而基于 GaN 的放大器提供了 15 dB 增益。

DAHI Foundry 线在量产方面已经取得重大进 展,包括开发了基于商业电子设计自动化工具 (EDA)的工艺设计工具包(PDK),成熟的异质集 成设计流程,大于99.9%的良率和良好的经过测 试验证的数据。如图7所示,第二个 MPW 流片以 300 mm 直径、45 nm CMOS 工艺节点的硅晶圆作 为 InP 基 HBTs 和 GaN 基 HEMTs 的异质集成平 台。来自政府、学术界和工业界的七个设计团队 联合起来为该项目贡献了新颖的异质集成设计, 需要设计师根据不同的器件特征,利用复杂的 PDKs 和不同的 EDA 工具进行协同设计和工艺集 成整合。



(a) 300 mm直径的Si CMOS 45 nm工艺节点晶圆作为 图 7 DAHI项目的三种半导体技术的异质集成晶圆

(b) InP基HBT和GaN基HEMTs 的异质集成平台

Fig. 7 DAHI three-technology integration into a wafer

DARPA 支持的 DAHI 项目展示了多个应用案 例,这些案例所展示的新型微波/毫米波的强大性能 只有通过异质集成技术才能实现。例如,BAE 系统 公司设计并测试了一种 12 位任意波形发生器 (AWG), 它产生的宽带信号的瞬时带宽高达 12 GHz^[15],实时采样率 30 GS/s, 无杂散动态范围 (SFDR) > 50 dB, 抖动时钟 < 25 fs, 延迟 < 1 ns。美 国罗克韦尔柯林斯国际公司设计了硅基异质集成 GaN 多相混频器,输出功率从纯硅基混频器的8 mW 增加到 3.4 W,其中 GaN 的开拓性应用是取得 优良性能的关键,采用六路多相的方法也消除了额 外的滤波器的需求,并且在镜像抑制、谐波抑制、杂 散抑制的效果都与当前最好的技术水平相当甚至 更优。

国防领域的雷达技术一直在追求更宽的带宽、 更灵巧的性能和更佳的成本效益。相控阵雷达已经 显示出比传统机械式雷达更加优越的性能,要满足 较高的性能要求,原理上要求相控阵天线单元的间 距要小于二分之一波长,这就使得相控阵体制雷达 天线单元的间距随着工作带宽的增大而越来越小, 致使天线阵元之间的空间不足以承载相应的电子元 器件(移相器、低噪声放大器、功率放大器),因而其 天线阵列与电子电路芯片要分开并互连,继而导致 传输损耗增加和系统面积增大。即使目前多个研究 小组报道了工作频率大于 60 GHz 的天线阵列集成 在单个芯片上的相控阵雷达,这也是不得不在阵元 间距和扫描角度、增益等性能之间折中取得的结果,

并没有发挥出系统最优的性能。因此,通过将多个 异质芯片进行三维系统级集成,是解决大带宽相控 阵雷达阵元间距不断缩小带来的电路集成困难的必 由之路。

因此,DARPA 提出 Scalable Millimeter-Wave Architectures for Reconfigurable Transceivers (SMART) 项目,致力于研发用于相控阵收发射机阵列的可重 构三维集成架构的平面式发射模块,目标是实现有 源电子扫描阵列(Active electronically steerable array,AESA)的射频前端的大功率输出和轻薄集成化 (小于1厘米的厚度)^[16]。该项目实施过程中,有两 个方案来实现 RF 功能的 MMIC 芯片与用于控制波 束形成的硅 CMOS 集成电路芯片、天线子阵的三维 集成,如图 8 所示,图 8(a)是基于硅转接板的三维 异质集成,图 8(b)是晶圆级封装三维异质集成。这 种紧凑、异质集成的可批量制造射频子阵列,可以作 为"模块单元"形成任意孔径大小的射频收发阵列, 未来将为各种军事通信和传感应用制造高性能毫米 波孔径。



图 8 DARPA SMART 项目 Fig. 8 The DARPA SMART program

先进的化合物半导体器件的优越性能为满足 未来微波/毫米波系统要求提供了一种途径,但是 缺乏高效、低成本的集成方式限制了它们的广泛 使用。通过最近的器件级异质集成技术与电路设 计模块 IP 重用策略的演示验证,设计者将来可以 利用国防和商业市场开发的 IP 模块来选择与任务 目标最匹配的技术,而不是受限于单一技术或工 艺节点。如果这种基于 IP 重用的理念能够正确实 施,这种新的设计流程将大大降低异质集成设计 成本和开发时间,同时增强射频系统的设计灵 活性。

3 异质集成硅基光子集成技术

3.1 高速光传输的发展对硅基光子集成技术的 需求

光纤通信网络成为现代信息时代的核心基础 设施,由于互联网和云计算的发展,光纤通信的应 用主体已经从电信运营商的中心机房转向了数据 中心。在美国,2008年互联网公司数据中心对光 纤通信的需求超过了电信运营商,今天数据中心 或许已经成为光纤通信的最大市场。预计到2019 年,全球通信网络流量的99%是和数据中心相关 的,其中数据中心内部的网络流量占到全部流量 的70%以上。当前,基于 InP 的光子集成芯片具 备出色的性能,在对价格不那么敏感的骨干网以 及局域网光通信都得到了很好的应用,而硅基光 子集成芯片由于低功耗以及与 CMOS 工艺兼容的 特点,在性能与价格上比 InP 基光子集成更具潜 力,有望在对成本和性能都有较高要求的数据中 心的光互连中得到应用。

除了解决未来数据中心的需求,随着数据处理 的需求越来越大,对芯片内/间信号传输的速度的要 求也越来越高。当 CMOS 工艺节点尺寸小于 100 nm 以后,硅芯片的技术演进开始遇到一系列问题: 信号延迟、带宽极限、功耗、电磁干扰、信号完整性 等。这些问题产生的关键因素就是芯片工作速率受 到器件之间通信互连延迟与功耗的限制。目前集成 电路芯片主流工艺中的互连金属是七层,互连线密 度很高。当器件尺寸小于 200 nm 时, RC 互连延迟 显著上升,铜互连线产生的热功耗也随着铜线尺寸 的降低而显著增加,互连功耗所占芯片总功耗的比 例将近50%,如图9所示。随着EUV(极紫外光刻) 技术的日益成熟,工艺尺寸进一步减小至几个纳米 将成为现实,目前已经到了10 nm,这些金属互连问 题将成为制约芯片性能的主要瓶颈。因此,需要一 种新的芯片内或芯片间互连方式,科学家们首先想 到的自然是将光作为信息传输的载体——带宽高、 延迟低、损耗低、抗干扰,以及可以利用波分复用实

现多通道并行传输。



图9 CPU 功耗来源的分布

Fig. 9 The distribution of the CPU power source 如果将光互连引入到芯片内或芯片间将会彻底 解决铜互连瓶颈,大大提高数据传输速度。并且,多 核架构也被认为是继续增加计算机计算能力的方案, 但是核与核之间以及核与外围器件之间通信速率是 限制目前多核计算能力的重要因素。科学家提出将 计算机网络技术、光通信技术移植到 IC 设计中来,从 体系结构上彻底解决总线架构的速度问题,即片上光 网络(Optical Network-on-Chip, 简称 ONoC)和片上光 通信(On-Chip Optical Interconnect), IBM 提出了多核 CPU 光互连架构^[17],如图 10 所示。未来的 3D 集成 CPU 芯片由若干层芯片通过非常密集和小间距的层 间通孔相互连接而成。下层是处理器本身,有数百个 单独的内核。存储器层被键合在处理器顶部,以提供 对本地高速缓存的快速访问。在3D 堆叠的顶部是具 有数千个光学器件(调制器、检测器、开关等等)以及 模拟电路(放大器、驱动器、锁存器等)的光子层。光 子层的关键作用不仅是提供不同内核之间或片外业 务之间的点到点宽带光通信链路,而且还用纳米光子 开关阵列来路由该链路,即片内光网络——被认为是 取代共享总线结构来满足片上系统 SoC (System On Chip)模块间信息传输的重要技术途径。因此,与 CMOS 工艺兼容、易与微电子技术集成的硅基光子 (silicon photonics)技术受到了通信、计算机巨头公司 的青睐,成为战略性关键技术。



图 10 IBM 提出的多核 CPU 三维架构示意图 Fig. 10 The multi-core CPU 3D structure diagram proposed by IBM

3.2 异质集成硅基光子集成技术的挑战与应用进展

硅的许多光学性质将表明它是平面光波导 (PLC)的理想材料:对于波长大于1100 nm 的光,硅 几乎是透明的;硅的折射率相对较高(约为3.5),这 使得纳米尺度上的波导得以制造,且与当前光通信 波段兼容;在1.3 µm 和1.55 µm 波长的光通信窗 口中,硅光子集成(PIC)是绝缘体上硅(SOI)平台的 理想选择,它提供了优秀的波导功能。硅光子学的 另一个主要驱动力是 SOI 平台的制造技术与 CMOS 技术、设备部分兼容,有可能使大晶圆尺寸、大产量、 高精度和低成本等 CMOS 工艺制造的优势应用到光 子集成器件制造中。同时,SOI平台本身提供了一 个几乎完整的光子组件:包括滤波器、多路复用器, 功分器、调制器和光电探测器。然而,由于硅是间接 带隙材料,电泵发光效率非常低,片上光源和光放大 仍然是一个巨大的挑战,严重限制了硅基光子集成 技术的发展和应用。

科学家试图通过稀土离子注入、引入应变锗、外 延锗锡合金的方法提高硅基发光器件的发光效率, 但远远达不到应用的要求。因此,硅上异质集成 III-V化合物半导体高效发光材料、器件是实现硅 基集成光源的重要技术路径。此外,在非线性光学、 高速光调制应用领域,在硅上异质集成相关的特种 功能材料也开始得到研究者的关注。

目前有三种实现方法实现 III - V 化合物半导体发光材料与硅光子平台异质集成:

(1)一种方法是采用芯片与晶圆键合:III-V 族半导体器件晶片键合在有粗对准标记的硅晶圆 上,并与波导结构耦合,随后在 Si 晶圆上规模化加 工处理。该方法的优势是减少了 III-V 族材料的 面积要求,从而减少了 III-V 材料外延的成本,并 且与硅上直接进行多层外延非常不同的是可以同时 进行集成和工艺处理。

(2)第二种方法是异质外延生长:在 SOI 或硅 晶圆上直接外延生长 III - V 族多层半导体材料,为 防止位错穿透到有源区,通过使用中间缓冲层(如 硅上外延 Ge 或应变超晶格)实现晶格匹配,即便如 此,硅基异质外延量子阱结构依然会产生较多的穿 透位错。因为量子点是一个个分立结构,单个量子 点处的位错不会影响到其他量子点,因而总体上能 有效地捕获和局域化限制注入的载流子,大大减少 了位错处的非辐射复合。相比于量子阱异质外延, 异质外延量子点(QD,Quantum Dots)激光增益材料 的使用,可以最大限度地减少线位错对阈值和输出 功率的影响。

(3)第三种方法是将前两种方法结合起来:首 先在硅上生长 InAs 量子点增益材料,然后与图案化 的 SOI 晶片结合,进行有效的波导耦合和后续的光 子集成芯片制作。该方案可直接应用在高达 300 mm或450 mm 直径的晶圆上,解除了直接键合 在硅晶片的 III - V 族半导体晶片的尺寸限制(InP 晶片迄今为止的最大尺寸被限制到150 mm 直径)。

以上三种技术获得了广泛的研究关注,自从报 道了第一个电泵硅基异质集成激光器^[18],一系列硅 上异质集成 III – V 族光电器件相继被研制出来^[19]。 下面简要回顾一些突出的成果。

图 11 所示的结构是硅上异质集成 III - V 族半 导体材料制成的宽带超辐射发光二极管(LED)^[20], 其 3 dB 带宽 292 nm,芯片功率 - 8 dBm。为实现如 此大的带宽,采用了量子阱混合技术和多个 InP 芯 片与硅光集成波导键合的技术。所制造的发光二极 管由四段不同带隙材料组成,以串行方式连接在芯 片上,中心波长分别集中在 1300 nm,1380 nm,1460 nn 和 1540 nm。其中较小的带隙部分产生的光可 以穿过较大的带隙部分而几乎不受影响。



硅基集成脉冲锁模激光器,是微波光子集成 领域的核心器件,文献[21]报道了硅基异质集成 平台上的脉冲锁模激光器,器件结构如图 12 所 示。该激光器综合用两种技术降低了激光器线 宽:首先,通过减少量子阱的数目减小限制因子, 从而降低自发辐射对线宽的贡献;其次,一个基于 硅波导的长约4 cm的片上无源反馈腔用于稳定激 光发射和进一步减少线宽提供光学反馈。该器件 在 0 波段中调谐范围超过 54 nm,由于来自外部腔 的受控反馈而显著减少了激光线宽,在全调谐范围内用延迟自外差法测量的线宽低于100 kHz,最好的结果是大约50 kHz。阈值电流在30 mA范围内,输出功率大于10 mW,整个调谐范围内的边模抑制比超过45 dB。



图12 硅基异质集成脉冲锁模激光器 (其中利用4 cm 的硅波导外腔降低线宽) Fig. 12 Monolithically-integrated external-cavity lasers utilize a 4 cm long external cavity to reduce the line width 如图 13(a),该激光器由硅上环形滤波器和两个 硅上异质集成 III – V 族半导体增益芯片组成^[22],一 个 SOA 作为激光腔内的增益元件,一个 SOA 用作增 益调节和关断开关。该器件在 C 波段的光纤耦合输 出功率达到 100 mW,线宽达到 15 kHz,图 13(b)是激 光器调谐功率谱以及不同波长对应的线宽。







图 14 所示是文献[23]报道的低阈值(8.8 mA) 和高速(直调带宽 9.5 GHz)硅异质集成短腔分布式 反馈激光器(DFB),该硅基异质集成短腔分布式反 馈激光器的测试结果显示出该技术在低成本、低功 耗激光光源领域巨大的应用前景。





III-V族基量子点激光器具有极低的阈值电流 密度、超高微分增益和极高的调制带,已经得到了应 用,硅基异质集成 III-V族量子点激光器被认为是最 有可能通过直接异质外延实现的硅基集成光源。 S. Chen 的研究组在 Nature Photonics 上发表了通过分 子束异质外延研制出的硅基集成 InAs/GaAs 量子点 激光器的相关结果,该结果是近年来非常令人振奋的 突破,图 15 为器件结构以及测试数据^[24],有源区包 含5 层量子点,器件阈值电流密度为 62.5 A/cm²,输 出功率为 105 mW,最高工作温度为 120 ℃,据推算 工作寿命可达到上万小时,基本具备实用水平。即 便如此,为满足应用要求,器件良率和可靠性方面还 有待提高。





硅基异质集成材料不仅仅包括提供光增益、光 探测和光调制功能的 III – V 半导体材料,而且还可 以包括更多具有特殊功能的材料,如图 16 所示的 LiNbO₃^[25]、Ce:YIG(掺铈钇铁石榴石)等,这些材 料的异质集成技术为实现硅基片上的高性能电光调 制、非线性效应(二次谐波产生、参量放大和纠缠光 子产生)和磁光性能(光隔离器)带来了曙光,必将 产生全新的片上光电系统应用。





此外,硅基异质集成多种材料的无源波导技术 也将产生全新的应用,如图 17^[26]所示,三种硅基材 料(Si/SiO₂/Si₃N₄)异质集成在一个平台上,已被证 明可以在非常宽的波长范围内使用。文章报道了使 用两波导类型(氮化硅和硅)能够高效的将从紫外 到中红外波的光谱合成到一个单一的、低的 *M*² 的 波导输出。未来可以结合异质集成的阵列多波长 (横跨紫外到中红外波段)激光器,将多个激光光谱 合成到一个波导输出的超连续谱应用是可行的;根 据光路可逆原理,该技术也可以用作宽带光谱分光 的芯片级集成光谱仪应用。

类似于射频异质集成,电子 - 光子异质集成 (Electronic-Photonic Heterogeneous Integration, E-PHI)被作为 DIHI 项目的一个子项目启动。E-PHI 项目的目标是在普通的硅衬底上实现新颖的芯片级 电子 - 光子/混合信号集成电路,如图 18 所示,这与 现有的、最先进的技术相比,提供了相当大的性能改 善和尺寸的减小。该技术有望推动实现一系列的新 型光电子微系统,包括用于探测感知(LIDAR on,激 光雷达)和通信的片上相干光学系统、光学任意波 形发生器和具有集成图像处理和读出电路的多波长 成像传感器等。E-PHI项目将开发用于异质集成的 工艺过程和设备技术,以及基于异质集成电子 – 光 子混合信号集成平台的新型微系统架构。







图 18 DAHI 项目提出的电子 – 光子异质集成平台概念图 Fig. 18 Conceptual drawing of electronic-photonic heterogeneous integration platform to be developed in DAHI

异质集成硅光子技术正在走向成熟,这是因为 它在中型、大规模光子集成和更低的成本方面具有 很大的潜力,而且还因为异质集成硅光子学器件在 某些方面的性能比原本的 III - V 光电子器件更好, 如最近已证明的超窄线宽激光器和高功率、高速光 电二极管。此外,电子芯片和光子芯片的紧密集成, 为避免现代处理器中电互连遇到瓶颈提供了一种技 术途径,不仅用于未来更长距离范围的高速光通信, 而且还可以用于未来短距离的数据中心、超级计算 机,以及各种光学传感器,同时在集成微波光子领域 产生颠覆性的技术能力。

4 结 论

通过异质集成技术将化合物半导体(以及其他

功能材料) 与硅 CMOS 电路集成,实现化合物半导 体的特殊功能与 CMOS 电路的超高集成度优势相结 合。在射频领域,异质集成技术有潜力解决毫米波 集成电路设计所面临的挑战,异质集成技术已经影 响了新相控阵雷达概念的发展,包括 3D 集成毫米 波阵列和多功能可重构阵列;在光通信领域,异质集 成有望在400G光子集成芯片、多核 CPU 芯片光互 连,集成微波光子技术以及全光计算方面得到应用, 引发全新的系统架构和应用。DARPA 在通过 COS-MOS 和 DAHI 项目对开发异质集成技术能力做了大 量投资,已经逐步建立了革命性的异质集成电路设 计和异质集成的工艺平台能力,并且开始走向模块 化和 IP 复用,大大降低设计和制造的成本、开发时 间。国内相关研究虽然取得点上技术突破,总体上 处于起步阶段,研究力量比较零散,缺乏工艺体系 支撑。

参考文献:

- [1] JIANG Cheng, ZHANG Rong. Summary of the development of Micro-PNT in the United States [C]//Proceedings of the Sixth Annual Academic Conference on satellite navigation, 2015:1-9. (in Chinese)
 江城,张嵘. 美国 Micro-PNT 发展综述[C]//第六届中国卫星导航学术年会论文集, 2015:1-9.
- [2] Sun C, Wade M T, Lee Y, et al. Single-chip microprocessor that communicates directly using light [J]. Nature, 2015, 528(7583):534.
- [3] Green D S, Dohrman C L, Demmin J, et al. A revolution on the horizon from DARPA: Heterogeneous Integration for Revolutionary Microwave/Millimeter-Wave Circuits at DARPA: Progress and Future Directions[J]. IEEE Microwave Magazine, 2017, 18(2):44 - 59.
- [4] Watts M R. Towards an integrated photonic LIDAR chip [C]// Applied Industrial Optics: Spectroscopy, Imaging and Metrology, 2015.
- [5] C. Metz. Delivering the internet via drone… and laser, Wired [OL]. http://www.wired.com/2015/04/yael-maguire/.
- [6] E O Johnson. Physical limitations on frequency and power parameters of transistors [J]. RCA Rev., 1965, 26: 163-177.
- [7] C. -H. Jan, et al. A 45nm low power system-on-chip technology with dual gate (logic and I/O) high-k/metal gate strained silicon Transistors [J]. IEDM Tech. Dig., 2008: 637-640.

- [8] Chevalier, et al. towards THz SiGe HBTs [C]// 2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM),2011:57-65.
- [9] A Gutierrez-Aitken, P Chang-Chien, W Phan, et al. Advanced heterogeneous integration of InP HBT and CMOS Si technologies for high performance mixed signal applications [C]//Proc. IEEE Microwave Symp. Tech. Dig., 2009:1109-1112.
- [10] Li J C, Royter Y, Patterson P R, et al. Heterogeneous wafer-scale integration of 250nm,300GHz InP DHBTs with a 130nm RF-CMOS technology [J]. IEDM Tech. Dig., 2018:944-946.
- [11] Kazior T E, LaRoche J R, Lubyshev D, et al. A high performance differential amplifier through the direct monolithic integration of InP HBTs and Si CMOS on silicon substrates [C]//Proc. IEEE Microwave Symp. Tech. Dig. ,2009;1113-1116.
- [12] Green D S, Dohrman C L, Kane A S, et al. Materials and integration strategies for modern RF integrated circuits [C]// Compound Semiconductor Integrated Circuit Symposium. IEEE, 2014:1-4.
- [13] Scott D, Sato K, Poust B, Monier C, et al. Diverse accessible heterogeneous integration (DAHI) foundry establishment at northrop grumman aerospace systems (NGAS)
 [C]// Proc. Int. Conf. Indium Phosphide and Related Materials, Santa Barbara, CA, 2015.
- [14] Wu Y C, Watanabe M, Larocca T. InP HBT/GaN HEMT/ Si CMOS heterogeneous integrated Q-band VCO-amplifier chain[C]// Radio Frequency Integrated Circuits Symposium. IEEE, 2015:39 – 42.
- [15] Kushner L J, Turner S E, et al. A 30-GS/s, 12-bit, 8-Vpp, arbitrary waveform generator with integrated 25 fs clock in the DARPA DAHI process [C]// Proc. Government Microcircuit Applications Conf., 2016.
- [16] Rosker M J. Technologies for next generation T/R modules[C]// Proc. IEEE Radar Conf., Boston, MA, 2007: 944-947.

- [17] Bergman K. Silicon photonic on-chip optical interconnection networks [C]// The 20th Annual Meeting of the IEEE Lasers and Electro Optics Society, 2007. -LEOS 2007. ,2007;470 - 471.
- [18] Fang A W, Park H, Cohen O, et al. Electrically pumped heterogeneous AlGaInAs-silicon evanescent laser [J]. Opt. Exp. ,2006,14:9203-9210.
- [19] Heck M J R, Bauters J F, Davenport M, et al. Heterogeneous silicon photonic integrated circuit technology [J].
 IEEE Journal of Selected Topics In Quantum Electronics, 2013,19(4):6100117.
- [20] Groote A De, Peters J D, Davenport M L, et al. Heterogeneously integrated III-V-on-silicon multibandgap superluminescent light-emitting diode with 290nm optical bandwidth[J]. Opt. Lett. 2014, 39;4784 - 4787.
- [21] Komljenovic T, Srinivasan S, et al. Widely tunable narrowlinewidth monolithically integrated external-cavity semiconductor lasers [J]. IEEE Journal of Selected Topics in Quantum Electronics, 2015, 21(6):214 – 222.
- [22] Kobayashi N, Sato K, Namiwaka M, et al. Silicon photonic heterogeneous ring filter external cavity wavelength tunable lasers[J]. Journal of Lightwave Technology, 2015, 33 (6):1241-1246.
- [23] Zhang C, Srinivasan S, Tang Y M, et al. Low threshold and high speed short cavity distributed feedback heterogeneous silicon lasers [J]. Optics Express, 2014, 22 (9): 10202 – 10209.
- [24] S. Chen, et. al. Electrically pumped continuous-wave III V quantum dot lasers on silicon [J]. Nature Photonics 2016,10(5):307-311.
- [25] Chen L, Chen J, Nagy J, et al. Reano, highly linear ring modulator from hybrid silicon and lithium niobate [J].
 Opt. Express, 2015, 23(10):13255 - 13264.
- [26] Stanton E J, Heck M J R, et al. Multi-octave spectral beam combiner on ultrabroadband photonic integrated circuit platform [J]. Optics Express, 2015, 23 (9): 11272 - 11283.