

文章编号:1001-5078(2024)11-1714-05

· 红外材料与器件 ·

基于奇偶行分时复用的 CTIA 读出电路

王熙远,程禹,申人升,常玉春,汪家奇,熊波涛
(大连理工大学 微电子学院,辽宁 大连 116000)

摘要:本文介绍了一种应用于短波红外焦平面阵列的高动态范围读出电路。输入级采用电容跨阻放大器结构。通过分时复用奇偶行中像素运放作为比较器,实现各像元的转换增益可单独切换并根据背景辐射自适应调整,像素中的积分电容、采保电路、源跟随器等模块由奇偶像素共用既节省面积又提高了像素设计的自由度。该结构在不增加像素面积情况下,增大了满阱容量,降低了等效噪声电荷,提高了动态范围。读出电路像素阵列大小为 64×64 ,像素间距为 $30 \mu\text{m}$ 。仿真结果表明读出电路的噪声电荷为 $57.8 e^-$,满阱容量为 12.5 Me^- ,动态范围为 106 dB ,读出速率达 10 MHz 。

关键词:电容跨阻放大器;读出电路;红外焦平面阵列;自选电容;分时复用

中图分类号:TN47;TN216 **文献标识码:**A **DOI:**10.3969/j.issn.1001-5078.2024.11.010

A CTIA ROIC based on odd & even row time-multiplexing

WANG Xi-yuan, CHENG Yu, SHEN Ren-sheng, CHANG Yu-chun, WANG Jia-qi, XIONG Bo-tao
(School of Microelectronics, Dalian University of Technology, Dalian 116000, China)

Abstract: In this paper, a high dynamic range ROIC for short-wavelength infrared focal plane arrays are presented. A capacitive transimpedance amplifier structure is used for the input stage. By time-multiplexing the pixel op-amps in the odd-even rows as comparators, the conversion gain of each pixel can be individually switched and adaptively adjusted according to the background radiation, and the modules such as integrating capacitors, sample-and-hold circuits, and source followers in the pixels are shared by the odd-even pixels to save the area and improve the freedom of pixel design. This structure increases the full-well capacity, reduces the equivalent noise charge number, and improves the dynamic range without increasing the pixel area. The pixel array size of the readout circuit is 64×64 with a pixel pitch of $30 \mu\text{m}$, and the simulation results show that the readout circuit has a noise charge of $57.8 e^-$, a full-well capacity of 12.5 Me^- , a dynamic range of 106 dB , and a readout rate up to 10 MHz .

Keywords: CTIA; ROIC; IRFPA; self-selected capacitor; time division multiplexing

1 引言

红外光可分为短波红外(SWIR)、中波红外(MWIR)和长波红外(LWIR)三类。相较于MWIR和LWIR,SWIR的来源通常是对光子的反射而不是

直接产生,这导致了SWIR在白昼和夜晚的辐射能量会有很大差距,白昼时光子反射强烈,SWIR探测器会产生大的信号电流,而夜晚时光子反射较弱,探测器信号电流小^[1]。由于SWIR在昼夜之间的辐射

基金项目:2022年工业与信息化部产业基础再造和制造业高质量发展专项项目(No. TC220A04A-49);国家重点研发计划项目(No. 2023YFB4503003)资助。

作者简介:王熙远(1999-),男,硕士,从事模拟集成电路设计和测试研究工作。E-mail:835424138@qq.com

通讯作者:申人升(1978-),男,博士,硕士生导师,主要研究方向为光纤传感与半导体光电材料与器件技术。E-mail:shjiank@dlut.edu.cn

收稿日期:2024-01-28; **修订日期:**2024-02-28

能量差距较大,当采用大积分电容时,会导致在满足大电流读出的情况下等效噪声电荷较高;采用小积分电容时,虽然可以满足高灵敏度探测,但电容容易饱和,又限制了动态范围。因此,为探测器适配低噪声高动态范围的读出电路(ROIC)仍然是红外传感芯片的研究方向之一。

传统的电容跨阻放大器(CTIA)像素通过加入不同大小的积分电容和调整积分时间来调节积分增益以适应不同辐射条件,但这种方法对像素增益往往是全局控制^[2-3],而由于各像素点在空间上的差异以及在夜晚可能出现的人造光源等其他强光因素,会造成阵列中只有部分像素饱和或档位选择不当被噪底淹没的情况。在像素中增加比较器可以用于产生增益自调节信号,切换积分电容值,但由于比较器和多段积分电容的集成会占用较大面积,难以满足像元尺寸要求^[4]。对于像素面积越来越小、阵列面积不断增大的 ROIC 来说,在像素内集成比较器已经不再是最优的解决方案。通过将积分阶段分为预积分、比较、主积分三阶段,先利用小积分电容进行预积分,再通过更改开关连接,将 CTIA 中运放作为比较器判断信号条件,根据信号强弱判断大积分电容的接入,最后进行主积分,虽然不需要添加额外的比较器,但额外添加的预积分和比较阶段降低了 ROIC 帧率,且对于背景条件变化较快的情况仍无法满足要求^[5]。

基于上述问题,本文提出了一种奇偶行分时积分、复用运放和电容的像素电路结构设计,以期实现电容自适应控制来调节增益,同时达到提高像素积分电容上限,增大动态范围的目的。该设计可在不增加像素面积情况下可实现像素转换增益的单独控制,以较小的功耗和面积实现了低噪声高动态范围像素的设计。

2 读出电路整体架构

图1给出了本 ROIC 的整体结构框图。电路主要包括模拟读出链和外围电路。模拟读出链主要由像素阵列、列读出电路构成,其中像素阵列大小为 64×64 ,像素间距为 $30 \mu\text{m}$ 。列读出电路包括列级可编程增益放大器、采样保持电路、列级缓冲器、多路选择器以及输出缓冲器。通过像素阵列将探测器的电流信号转化为电压信号后由可编程增益放大器进行放大作差处理,PGA 的复位值和信号值经过列

级缓冲器输出到总线,最后由输出缓冲器输出至片外。模拟链极大地影响着 ROIC 的整体性能参数,如动态范围、线性度和功耗等。外围电路由行选逻辑电路、列选逻辑电路、偏置和参考电压生成模块构成,用于生成行列控制信号和电路所需偏置及参考电压等。

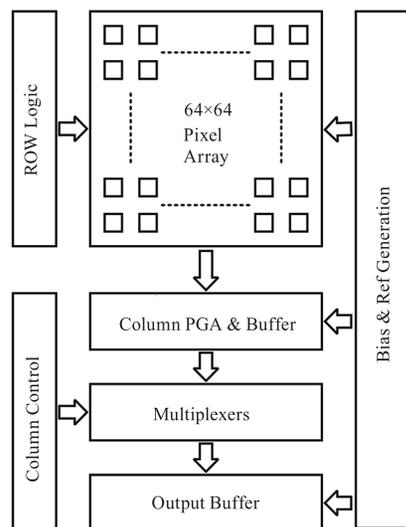


图1 ROIC 整体框架

Fig. 1 The overall architecture of ROIC

3 像元电路实现

传统的 CTIA 像素电路如图2所示,由 CTIA、相关双采样(Correlated Double Sample, CDS)电路和源跟随器组成。

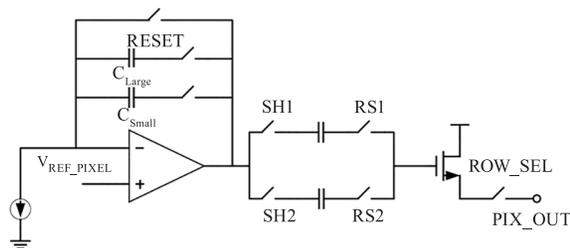


图2 传统 CTIA 像素电路原理图

Fig. 2 The traditional CTIA pixel schematic

CTIA 作为输入级电路,与探测器连接键合,对光电流进行积分,转换为电压信号。源跟随器用于驱动列总线负载,以确保信号快速建立。CDS 电路用于消除抑制像素的固定模式噪声和低频噪声,通过在积分阶段开始之前以及结束时分别进行采样,并在列读出电路做减法处理以降低低频噪声,主要是用于消除复位噪声^[6],未加入 CDS 的复位噪声电荷为^[7]:

$$\overline{q_{\text{reset}}^2} = kT \left(C_{\text{int}} + \frac{C_{\text{int}} C_{\text{det}}}{C_{\text{int}} + C_{\text{det}} + C_{\text{load}}} + \frac{4(1 + \frac{g_{m,\text{load}}}{g_{m,\text{in}}}) C_{\text{det}}^2}{3(C_{\text{int}} + C_{\text{det}} + C_{\text{load}})} \right)$$

其中, C_{int} 为积分电容值; C_{det} 为探测器电容值; C_{load} 为 CTIA 负载电容值; $g_{m,\text{load}}$ 为运放负载管跨导; $g_{m,\text{in}}$ 为运放输入管跨导。加入 CDS 电路后, 该噪声电荷可近似为 0。

本文提出的 2×1 像素单元如图 3 所示。ODD PIXEL 和 EVEN TPIXEL 分别对应奇偶行像素, SHARED PART 为奇偶行像素共享部分。图中开关 ODD_EN 和 EVEN_EN 用于控制奇偶行分时积分且严格反相, AMP1 和 AMP2 分别是奇偶行像素运放。分时复用模式使得像素单元内不需要增加比较器, 减小了像元尺寸与功耗。像元内的积分电路、采样电路、触发器和源跟随器由奇偶像素共用以节省面积。

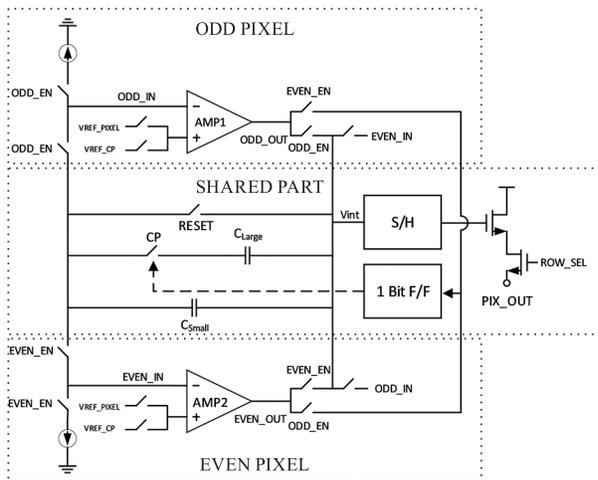


图 3 提出的 2×1 像素单元原理图

Fig. 3 The proposed 2×1 pixel unit schematic

以奇像素为例介绍工作原理, 工作等效电路如图 4 所示。奇像素工作时, 复位阶段, ODD_EN 闭合, EVEN_EN 断开, AMP1 接成 CTIA 结构, AMP2 作为比较器使用, 开关 RESET 闭合, CTIA 输出电压被复位到 $V_{\text{REF_PIXEL}}$; 打开 RESET, 进入积分阶段, 以 C_{small} 进行第一阶段积分, 将 CTIA 输出电压与参考电压 $V_{\text{REF_CP}}$ 进行比较, 比较器的输出后接触发器, 触发器保持比较器翻转结果。当积分输出电压小于 $V_{\text{REF_CP}}$, 则大电容不接入反馈通路, 而是作为限带电容使用以减少热噪声, 当积分输出电压大于 $V_{\text{REF_CP}}$, 触发器输出高电平, C_{large} 接入反馈通路作为积分电容使用, 像素转换增益降低, 满阱容量增大。偶像素工作同理, 奇偶像素交替分时复用。

图 5 给出了所提出的电路分别在小信号电流和大信号电流情况下的时序图, 其中 ODD_EN 和 EVEN_EN 分别为奇偶行积分控制信号, 高电平有效, Reset 为复位信号, 高电平时像素工作在复位阶段, 低电平时工作在积分阶段, Row_Sel 为行选信号, 高电平有效, 控制像素信号输出, CP 为触发器输出信号, 高电平时控制大积分电容接入反馈通路, PIX_OUT 为像元输出, ODD_OUT 为奇像素放大器输出节点, EVEN_OUT 为偶像素放大器输出节点, V_{int} 为积分电压。在小信号电流情况下, 积分电容保持为小电容, 像素维持一个高的转换增益和灵敏度; 在大信号电流情况下, 积分电容为小电容与大电容之和, 像素得到一个大满阱容量, 避免信号电流饱和。这种自选电容的方法使得每个像素单元可以根据信号电流自适应地调整满阱容量, 避免全局控制造成部分像元信号饱和或被噪底淹没。

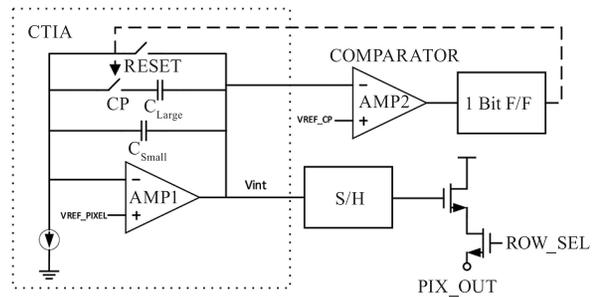


图 4 奇像素工作等效电路

Fig. 4 The equivalent circuit for odd-pixel operation

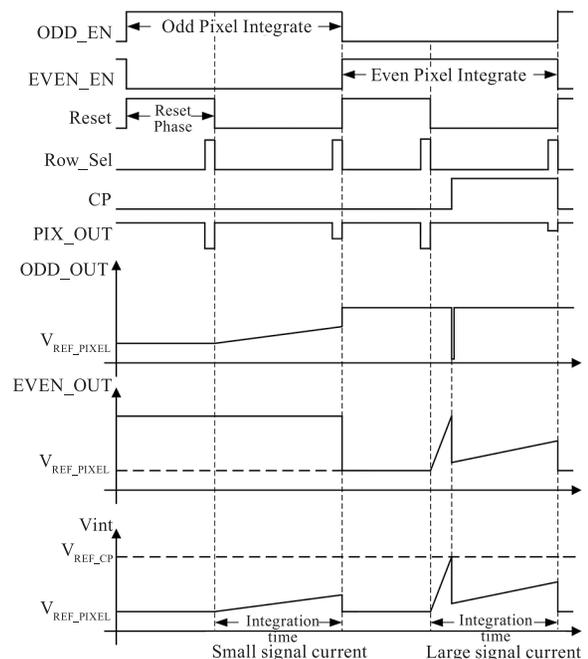


图 5 不同电流情况下的时序图

Fig. 5 Timing diagram for different currents

4 电路仿真结果

提出的 2×1 像元仿真结果如图 6 所示,从瞬态仿真结果可以看出,当偶像素运放作为 CTIA 工作时,偶像素输出 EVEN_OUT 正常积分,奇像素运放作为比较器使用,奇像素运放输出 ODD_OUT 在复位期间和积分期间积分电压未达到比较器阈值时输出一直保持高电平,在达到阈值后输出迅速拉低,低电平传输给触发器后,触发器输出 CP 常高,控制大积分电容接入,比较器输出变回高电平,由于大积分电容连接到 CTIA 电路的反馈回路,积分电压急剧下降。当奇像素运放作为 CTIA,偶像素运放作为比较器工作时现象相同。这些结果证实了所提出的输入级电路的基本工作原理。

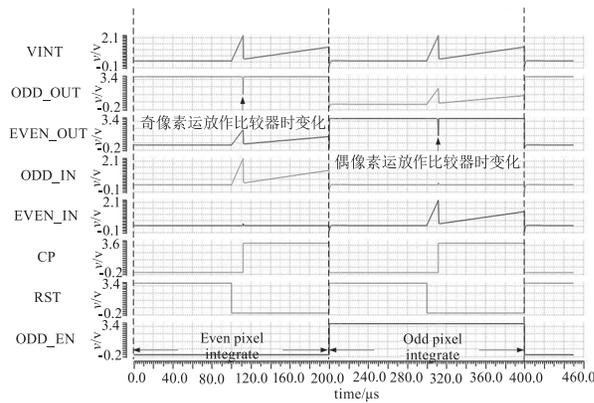


图 6 2×1 像元仿真结果

Fig. 6 2×1 pixel unit simulation result

由于 ROIC 整体规模较大,进行整体仿真需要耗费大量时间,为验证 ROIC 整体工作并提高仿真效率,将阵列简化为 4×4 面阵进行 reduce 仿真,同时将行列逻辑简化为对应的 4×4 面阵的控制电路,列读出电路模块简化为相应 4 列,将各像素中探测器电流设置为依序增加。仿真结果如图 7 所示,由上至下信号依次为:COL_SEL <0:3>,用于控制列选开关,ROW_SEL <0:1>,用于控制行选开关,COL_RST_OUT 和 COL_SIG_OUT 为列级缓冲器输出的复位值和信号值,RST_OUT 和 SIG_OUT 为输出级缓冲器输出的复位值和信号值。由仿真结果可知,行列控制信号周期、占空比均满足要求,输出信号依序增大,输出速率为 10 MHz,ROIC 工作正常。

为验证所提出的 ROIC 的工作特性以及线性度,分别对小信号电流和大信号电流进行扫描,得到对应积分电压输出结果,其中小信号电流扫描设置

模拟探测器电流为 $1 \text{ pA} \sim 1 \text{ nA}$,步长为 10 pA ,大信号电流扫描模拟探测器电流为 $1.3 \text{ nA} \sim 18 \text{ nA}$,步长为 0.25 nA 。根据输出摆幅可以得到满阱容量为 12.5 Me^- 。根据上述扫描结果,对 ROIC 的输入输出特性曲线进行线性拟合,得到如图 8 所示的拟合曲线。处于小信号电流情况时,线性度为 99.7% ,处于大信号电流情况时,线性度为 99.51% 。

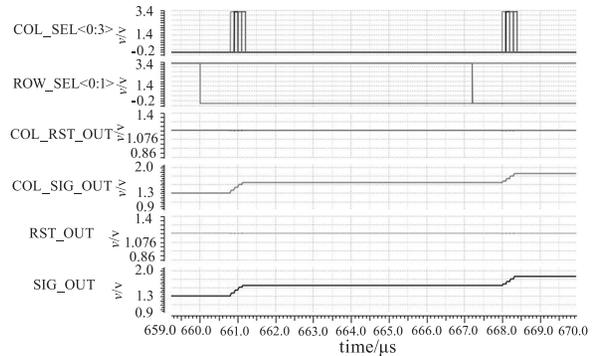
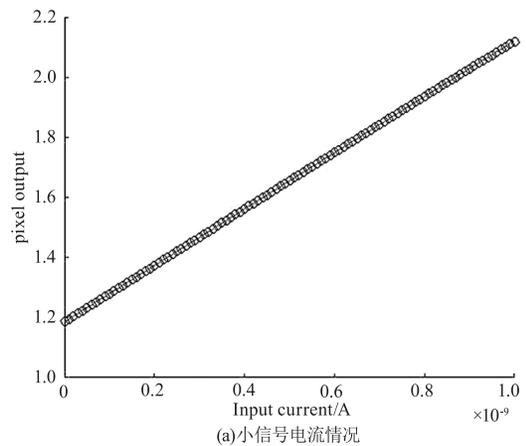
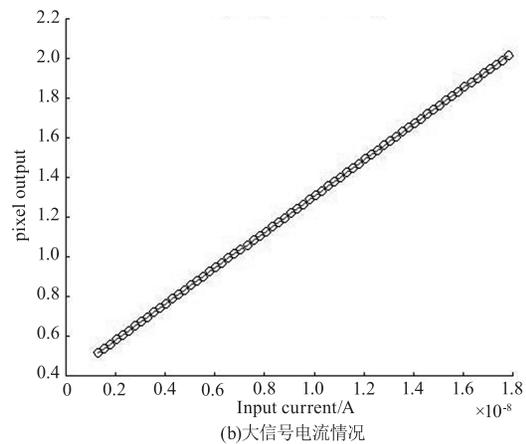


图 7 4×4 面阵 reduce 仿真结果

Fig. 7 4×4 array reduced simulation result



(a)小信号电流情况



(b)大信号电流情况

图 8 线性拟合曲线

Fig. 8 Linear fitting curve

为计算读出电路的动态范围,需测量 ROIC 电路噪声。将输入信号电流设置为零,以消除输入电

流的影响。噪声为读出链总体噪声。通过 pss + pnoise 仿真得到的噪声电压为 359.119 μV , 等效噪声电子数为 57.8 e^- , 以 pnoise 仿真为标准得到动态范围为 106 dB。

5 结论与讨论

本文提出了一种奇偶行分时复用 CTIA 像素单元结构, 可应用于 SWIR 焦平面阵列。所提出的结构分时复用奇偶像素内的运放实现了积分过程中电容切换功能使得 ROIC 能够以低噪声高动态范围条件工作。该结构不增加像素单元面积, 实现了较小的像素尺寸, 节省了像素功耗。得益于奇偶行分时积分, 积分电容和源跟随器模块可以实现共享设计, 这一方案也为进一步优化 CTIA 像素设计创造了空间。基于仿真结果, 分时复用的像素功能也得到了验证。该结构设计为高动态范围的场景应用提供了新的解决方案, 但在以下方面有待改善: ①由于需要奇偶行均积分读出才能得到一帧频成像, 该结构降低了系统帧频; ②由于像素内比较器翻转以及控制大积分电容接入需要一定建立时间, 系统在介于大信号电流和小信号电流之间的背景条件下时输出难以拟合真实信号电流大小, 导致完整电流范围的线性度较差。

参考文献:

- [1] Dayton D, Allen J, Gonglewski J, et al. Spatial and temporal variability of SWIR air glow measurements [C]//Spie Remote Sensing. International Society for Optics and Photonics. Toulouse, France. 2010.
- [2] Wang Haixian, Yue Dongqing, Yuan Yuan, et al. The design of ROIC suitable for large spacing short wave line infrared detector [J]. Laser & Infrared, 2022, 52(5): 752 - 756. (in Chinese)
王海先, 岳冬青, 袁媛, 等. 一种大间距短波线列红外探测器用读出电路的设计 [J]. 激光与红外, 2022, 52(5): 752 - 756.
- [3] Zhao H, Zhao Y, Song Y, et al. A low power cryogenic CMOS ROIC for 512 \times 512 infrared focal plane array [C]//2011 IEEE International Conference of Electron Devices and Solid-State Circuits. Tianjin, China. 2011: 1 - 2.
- [4] Cong-Jie Y, Zhi-Yuan G, Xin-Ji Z, et al. A non-destructive readout circuit of the linear array image sensor with over 90 dB dynamic range and 190 k fps for radar system [C]//Conferences of the Photoelectronic Technology Committee of the Chinese Society of Astronautics, 2015.
- [5] Kim Y S, Woo D H, Jo Y M, et al. Low-noise and wide-dynamic-range ROIC with a self-selected capacitor for SWIR focal plane arrays [J]. IEEE Sensors Journal, 2017, (1): 179 - 184.
- [6] Johnson J F, Lomheim T S. Focal-plane signal and noise model-CTIA ROIC [J]. IEEE Transactions on Electron Devices, 2009: 2506 - 2515.
- [7] Z Huang, S Huang, J Fang. Design of 800 \times 2 low-noise readout circuit for near-infrared InGaAs focal plane array [J]. Proceedings of SPIE, the International Society for Optical Engineering, 2012, 8562: 5.