

文章编号:1001-5078(2024)11-1719-06

· 红外材料与器件 ·

具有自定义开窗功能的读出电路数字模块研究

姜羽^{1,2}, 梁清华², 丁瑞军²

(1. 上海大学微电子学院, 上海 201800; 2. 中国科学院上海技术物理研究所 红外探测全国重点实验室, 上海 200083)

摘要:自定义开窗通过重构图像分辨率从而提高读出帧频, 是大规模红外焦平面应用中实现感兴趣区域观察及特殊区域检测的重要技术。基于半定制设计流程, 本文提出了一种具有自定义开窗功能的读出电路数字模块, 该模块在五个外部输入信号的控制下, 实现积分时间调控、工作模式切换、任意开窗、防溢出的功能, 具有易于扩展、控制简单、操作灵活的优点。针对传统译码电路产生的竞争冒险现象, 提出行级脉宽可调选通信号设计及列级多端口读出的解决方案, 进一步提高了电路的可靠性。仿真结果表明, 整个设计能够正常实现自定义开窗功能, 适用于大规模红外焦平面阵列。

关键词:自定义开窗; 读出电路; 半定制设计流程; 数字模块; 竞争冒险

中图分类号: TN216; TN492 **文献标识码:** A **DOI:** 10.3969/j.issn.1001-5078.2024.11.011

Research on digital module of ROIC with custom windowing function

JIANG Yu^{1,2}, LIANG Qing-hua², DING Rui-jun²

(1. School of Microelectronics, Shanghai University, Shanghai 201800, China;

2. National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

Abstract: The custom windowing is an important technique for the observation of areas of interest and the detection of special areas in large-scale infrared focal plane applications by reconstructing image resolution to improve the readout frame rate. Based on the semi-custom design flow, a readout integrated circuit (ROIC) digital module with custom windowing function is proposed in this paper, which can realize the functions of integral time regulation, working mode switching, random windowing and anti-overflow under the control of five external input signals, and has the advantages of easy expansion, simple control and flexible operation. Aiming at the risk of race and hazard in the traditional decoding circuit, the design of row-level pulse width adjustable selection signal and the solution of column-level multi-port readout are proposed to further improve the reliability of the circuit. The simulation results show that the whole design can properly implement the function of custom windowing normally, and is suitable for large-scale infrared focal plane array.

Keywords: custom windowing; ROIC; semi-custom design flow; digital module; race and hazard

作者简介: 姜羽 (1999 -), 男, 硕士研究生, 主要研究方向为红外焦平面数字化读出电路。E-mail: jiangyu19990909@163.com

通讯作者: 丁瑞军 (1964 -), 男, 研究员, 博士生导师, 主要从事集成电路设计, 红外光电器件及物理, 分析和评价技术等方面的研究。E-mail: dingrj@mail.sitp.ac.cn

收稿日期: 2024-01-29

1 引言

1999年, Donald · Reago 等人提出了第三代红外焦平面的概念及具体参数, 指出发展高性能的红外焦平面, 需要大规模的探测器阵列($1\text{ k} \times 1\text{ k}$ 、 $2\text{ k} \times 2\text{ k}$ 甚至更高), 以及高帧频的读出电路^[1]。目前红外焦平面的分辨率已经达到千万像素级^[2-3], 实际应用中为满足感兴趣区域观察及关键区域信号快速读出的高帧频成像需要, 自定义开窗技术被采用。自定义开窗允许用户指定窗口起始位置及尺寸大小来对一定区域内的像素单元进行读出, 在读出速率不变的情况下, 通过降低一帧内需要读出的数据总量从而提高读出电路帧频^[4]。该技术在跟踪高速目标、自动目标识别(Automatic Target Recognition, ATR)等方面具有良好的应用前景^[5-7]。

传统的读出电路数字模块基于移位寄存器架构实现自定义开窗, 电路的功能由不同的输入信号来分别控制, 采用全定制的设计流程, 该方式虽然消耗硬件资源少, 但不易扩展、灵活性差、时序控制复杂^[8]。本文基于半定制设计流程, 提出了一种具有自定义开窗功能的读出电路数字模块的实现方法, 采用行列控制字译码器架构, 通过行级脉宽可调选通信号设计及列级多端口读出方案解决了传统译码电路带来的竞争冒险问题, 在五个外部输入信号的控制下, 实现积分时间调控、工作模式切换、任意开窗、防溢出的功能, 具有易于扩展、操作灵活、控制简单的优点。仿真结果表明整个设计能够正常实现自定义开窗功能, 适合在大规模红外焦平面阵列上集成。

2 电路整体架构及工作时序

读出电路的整体架构如图 1 所示。中间部分是 $M \times N$ 像素阵列, 每个像素单元内部锁存有 16 bit 数字信号; 外围数字控制模块包括: Function Register (功能配置模块)、Row Selection Generator (行选通产生模块)、Column Selection Generator (列选通产生模块)、Write Control (采样控制模块)。数字模块共有五个外部信号输入端口: FSYNC 为帧同步信号, 上升沿标志一帧信号的读出, 同时也作为全局积分复位信号, 低电平时阵列积分计数, 高电平时积分复位、DATA 为串行控制字输入端口, 在 FSYNC 上升沿前完成对读出电路的配置、LSYNC 为行同步信号, 每个下降沿标志一行信号的读出、CLK 为主时钟信号、RST_B 为全局复位信号。

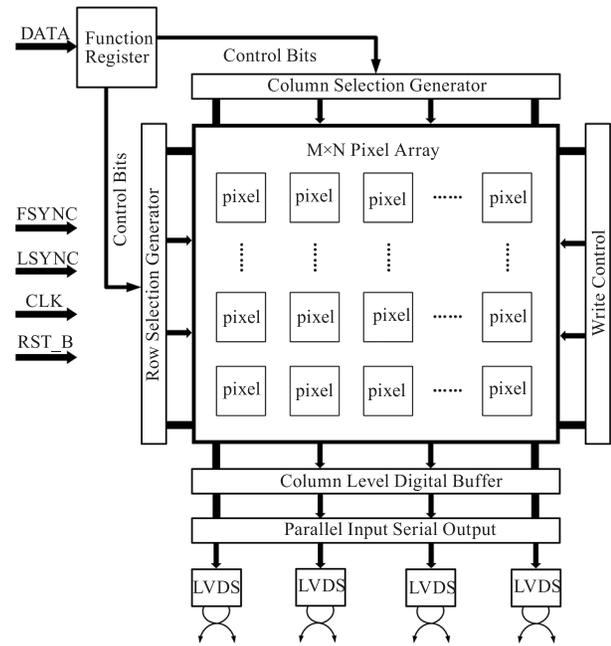


图 1 读出电路整体架构图

Fig. 1 The system architecture of ROIC

读出电路的工作时序图如图 2 所示。这里选取边积分边读出(Integrate While Read, IWR)的工作模式为例。上电后, RST_B 拉低执行全局复位, 将电路内部计数器清零, 并将功能配置寄存器置为默认值。FSYNC 初始为高电平, 使阵列处于积分复位状态, 在电路完成全局复位后, FSYNC 拉低, 像素单元开始对当前帧进行积分, 通过控制 FSYNC 低电平的持续时间, 即可实现对阵列积分时间的调控。DATA 为外界输入的二进制控制字数据, 以主时钟 CLK 为同步时钟, 一个时钟周期一位地串行输入, 在一帧读出开始前需要完成所有控制字的输入, 如果不对当前帧进行配置, 则会根据功能配置模块的默认值进行读出。WRT 信号由采样控制模块产生, 在当前帧积分结束后, WRT 拉高, 对像素单元积分结果进行锁存, 锁存结束后, 阵列内部计数器复位, 准备对下一帧积分进行量化。LSYNC 信号用于在一帧数据开始读出后控制被选中行数据的读出, 一个 FSYNC 信号周期内包含多个 LSYNC 信号周期, LSYNC 信号周期的个数取决于配置的行窗口大小, 相邻两个 LSYNC 信号脉冲的时间间隔则取决于配置的列窗口大小, 在一个 LSYNC 脉冲后, 将依次读出当前行中被选中的每一列数据。在此种时序控制方法下, 通过改变 FSYNC 信号高电平持续时间, 使其大于阵列读出时间, 即可实现先积分后读出(Integrate Then Read, ITR)的工作模式。

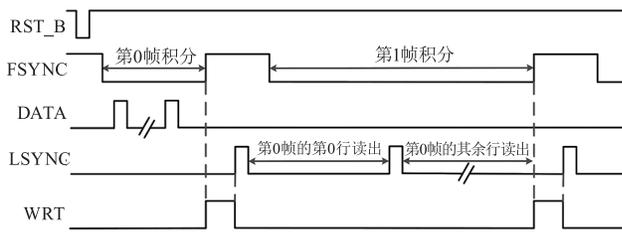


图2 读出电路工作时序图(IWR)
Fig.2 ROIC working timing diagram(IWR)

3 数字模块实现原理

3.1 功能配置模块

功能配置模块的作用是接收外界输入的二进制串行控制字信息并将其转换成并行数据进行存储。本文设计的数据长度共 35 bit, 包括 1 bit 起始位、9 bit 行起始地址位、8 bit 列起始地址位、9 bit 行窗口大小位、8 bit 列窗口大小位。模块结构示意图如图 3 所示, 主体是两个寄存器组。第一排是由 35 个 D 触发器级联构成的移位寄存器组 data[34:0], 串行数据从 DATA 端输入。第二排是由 34 个 D 触发器构成的缓存寄存器组 win_ctrl[33:0], 用于锁存控制字信息并传输给后续模块。配置过程如下: DATA 为高电平时标志控制字输入的开始, 串行数据流将按照一个主时钟周期一位地从移位寄存器低位移至高位, 当起始位到达最高位寄存器 data[34] 时, EN 被拉高, 在下一个时钟有效沿到来后将除起始位外其余控制字信息锁存进缓存寄存器组, 并对 data[34:0] 进行复位。根据缓存寄存器组和移位寄存器组连接方式的不同, win_ctrl[33:0] 将在上电复位后被赋予不同的初始值。

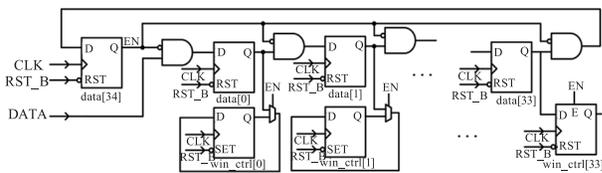


图3 功能配置模块结构示意图
Fig.3 The architecture of function register

读出电路的工作状态分为缺省状态和控制状态, 二者的区分在于上电复位后是否进行控制字配置。当不进行控制字输入时, 电路工作在缺省状态下, win_ctrl[33:0] 将设定好的初始值传递给后续模块, 这里默认设置行、列起始位为 0, 行、列窗口大小为最大, 进行全面阵的读出; 控制状态下, win_ctrl[33:0] 从 data[33:0] 得到行、列信息并进行锁存,

这些配置信息将会应用于当前帧及之后每帧数据读出, 从而避免了每一帧读出前都要单独进行行、列配置, 当要更改窗口位置及尺寸大小时, 则需要在一帧信号读出前重新进行控制字输入。

3.2 行选通产生模块

行选通产生模块的电路框图如图 4 所示, 由 cnt_ctrl_v(行计数控制模块)、win_ctrl_v(行开窗控制模块)、gray_enc_v(行格雷码编码模块)、gray_cnt_v(行格雷码计数模块)、gray_dec_v(行格雷码译码模块) 组成, 作用是根据配置的行起始地址、窗口大小产生行选通信号, 是本文重点设计的模块。

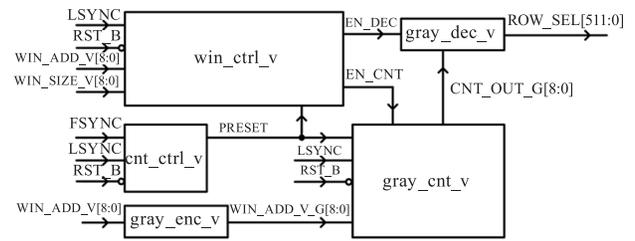


图4 行选通产生模块电路框图

Fig.4 The electrical block diagram of row selection generator

行计数控制模块, 主要由触发器及一些逻辑门构成, 通过 FSYNC 和 LSYNC 触发, 产生预置信号 PRESET, 在一帧读出开始后及一行读出开始前, 将行起始地址信息配置入格雷码计数器模块, 以及将行起始地址信息和行窗口大小信息配置入行开窗控制模块。

行开窗控制模块, 通过减法计数器对行窗口大小做减法, 产生对应 LSYNC 周期长度的计数使能信号 EN_CNT, 以及行译码使能信号 EN_DEC, 当计数器减至 0 时, 使能信号关闭, 不再产生行选通信号, 代表行读出的结束。该模块内置有溢出判断功能, 原理是将行起始地址 WIN_ADD_V 与行窗口大小 WIN_SIZE_V 相加, 判断是否超出行数上限。在一帧读出开始时, 若未发生溢出, 则将 (WIN_SIZE_V + 1'b1) 赋值给计数器, 实际行窗口大小与配置的行窗口大小信息一致; 若发生溢出, 则将 (1'b0, ~WIN_ADD_V) + 1'b1 赋值给计数器, 窗口开至像素阵列边界。

行格雷码编码模块, 作用是将 9 bit 二进制行起始地址控制字转换成 9 bit 格雷码编码的行起始地址, 对应像素阵列的 512 行, 通过异或逻辑完成。

行格雷码计数模块, 实现在每个 LSYNC 下降沿

到来时,当前行地址加一。由于采用格雷码编码,并不能采用简单的加减运算符实现计数,本文通过 10 位寄存器实现 9 位格雷码计数,其中 1 位为奇偶判断位 cnt_g_flag ,其余 9 位为计数输出位 $\text{CNT_OUT_G}[8:0]$,具体实现原理如下: cnt_g_flag 的预置值为 9 bit 格雷码行起始地址按位异或的结果 $\wedge \text{WIN_ADD_V_G}$;当起始地址为奇数时,则 cnt_g_flag 预置值为 1,在每个时钟有效沿到来时, cnt_g_flag 翻转;当 cnt_g_flag 为 0 时, $\text{CNT_OUT_G}[0]$ 在时钟有效沿翻转;当 $\text{CNT_OUT_G}[0]$ 为 1 时, $\text{CNT_OUT_G}[1]$ 在时钟有效沿翻转;当 $\text{CNT_OUT_G}[n-1]$ ($2 \leq n \leq 9$) 为 1,且 $\text{CNT_OUT_G}[0]$ 到 $\text{CNT_OUT_G}[n-2]$ 全为 0,则 $\text{CNT_OUT_G}[n]$ 在时钟沿有效沿翻转。采用格雷码计数的好处是其稳定性及低功耗,相较于二进制编码,格雷码相邻状态只有一位发生改变,即使发生同步出错的情况,译码地址也不会发生跳变,大幅提高了开窗功能的稳定性,并且由于一次只翻转一位的特性,在很大程度上减小了计数器带来的翻转功耗。

行格雷码译码模块,由 512 个行译码单元组成,每个译码单元为一个 10 输入与门,其中 9 个输入连接到格雷码计数器输出的当前行地址端 $\text{CNT_OUT_G}[8:0]$,另外一个输入则是译码使能端 EN_DEC 。相较于传统用定制化设计实现译码器的方式,采用硬件描述语言对译码模块进行建模将使其易于扩展:利用格雷码的对称性,通过增加译码单元的输入位数及增加译码单元的数量,即可实现译码模块的扩展,从而适配更大规模的读出电路。

由于译码模块是纯组合逻辑,路径延时的不一致会导致在译码时产生竞争冒险问题,造成两行同时被选通的不理想情况,如图 5(a) 所示。对此,本文通过增加脉宽可调使能信号的设计,即通过控制 LSYNC 信号高电平持续时间,来增加译码使能信号的脉冲间隔,避免了竞争冒险带来的错误读出现象,如图 5(b) 所示。采用这种方法的好处是可以针对行选通信号重叠时间的不同,来灵活调整 LSYNC 信号的高电平时间,来完全消除竞争冒险现象;缺点是会略微增加行读出时间,但由于行读出周期较长,所以并不会对电路帧频造成明显影响。

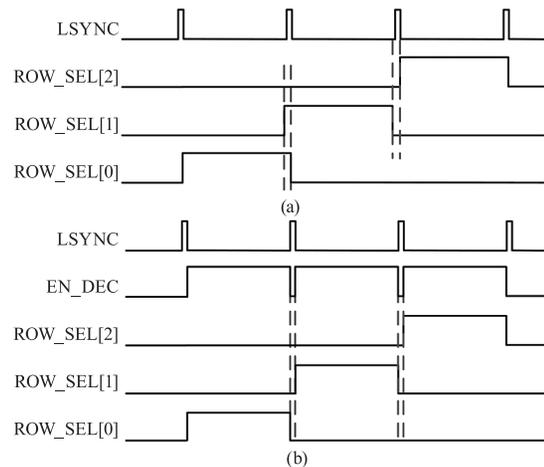


图 5 竞争冒险现象及脉宽可调使能信号设计

Fig. 5 Race and hazard phenomenon and design of pulse width adjustable enable signal

3.3 列选通产生模块

列选通产生模块的作用是根据配置的列起始地址、窗口大小同时产生 4 路列选通信号,以配合面阵 4 路 LVDS 高速输出,其电路框图如图 6 所示,主体与行选通产生模块类似。

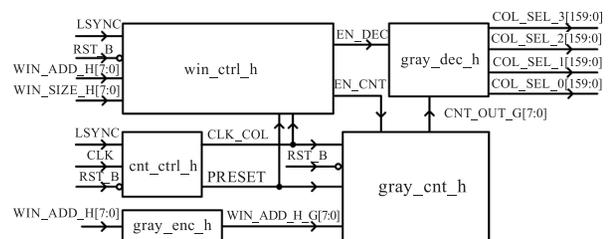


图 6 列选通产生模块电路框图

Fig. 6 The electrical block diagram of column selection generator

相较于行选通产生模块的不同之处是:

列计数控制模块, PRESET 信号由 LSYNC 和 CLK 触发,在一行读出开始后,将列起始地址信息配置入格雷码计数器模块,以及将列起始地址信息和列窗口大小信息配置入列开窗控制模块;列计数时钟 CLK_COL 由主时钟 16 分频产生,用于在每个列选通信号持续时间内串行读出像素单元 16 bit 数字信号。

列格雷码编码模块,将 8 bit 二进制列起始地址控制字转换成等位宽的格雷码编码列起始地址,对应像素阵列的 640 列。因为阵列采用四路同时输出的方式,此时一位列起始地址控制字对应实际面阵中的四列。

列格雷码译码模块,输出端产生 4 路列选通信号,交错选通阵列的 640 列,计数地址每加 1,则相

邻的4列将同时被选通。对于列译码产生的竞争冒险问题,采用脉宽可调选通信号的设计将会明显增加读出时长,从而导致帧频下降。对此,本文采用多数据总线读出的方法,如图7所示。对于四路输出端口,采用八位列级数据总线 bus[7:0],将第 $8n(n=0,1,2\cdots)$ 列的数据传输至 bus[0],第 $8n+1(n=0,1,2\cdots)$ 列的数据传输至 bus[1],依此类推。数据总线上添加传输门开关,通过与 CLK_COL 同步的控制信号交替打开 bus[3:0]及 bus[7:4],从而避免了前级组合逻辑电路产生的竞争冒险问题。

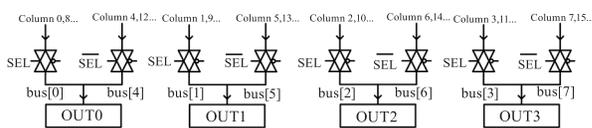


图7 多数据总线读出示意图

Fig. 7 Multi data-bus read-out diagram

3.4 采样控制模块

采样控制模块的作用是通过输入 FSYNC 和 LSYNC 信号,生成全局的积分计数结果采样信号 WRT,其电路结构较为简单,如图8(a)所示,由一个带复位端的 D 触发器及一个二输入或非门构成;D 触发器 D 端钳位至高电平,在 FSYNC 上升沿到来时,WRT 信号拉高,当 RST_B 有效及 LSYNC 上升沿到来时,WRT 信号拉低,采样时序图如图8(b)所示。由于 WRT 信号连接至全面阵每一个像素单元,具有较大的容性负载,因此这里需要适当增加 FSYNC 上升沿与 LSYNC 上升沿的间隔,以保证 WRT 信号有足够的时间上拉至高电平,使数据能够被正确采样。

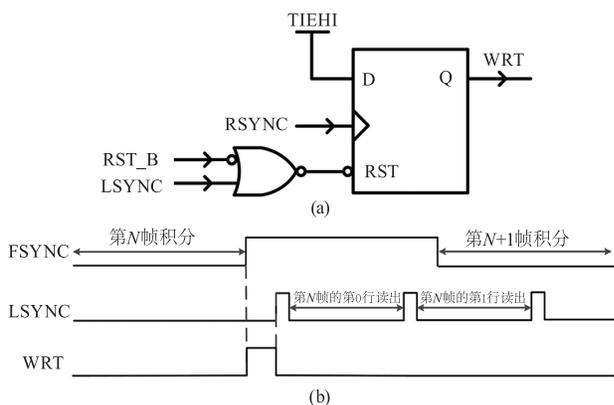


图8 采样控制模块结构示意图及采样时序图

Fig. 8 The architecture and sampling timing diagram of write control

4 仿真实证

对于图1所示的外围数字模块,本文采用可综合风格的 Verilog HDL 对其进行 RTL 级建模,并在 VCS 环境下通过编译仿真,用 Verdi 对设计进行调试。得到仿真波形图如图9所示,图中从上至下依次是 FSYNC、WRT、LSYNC、CLK、RST_B、DATA、ROW_SEL、COL_SEL 信号。上电后首先进行全局复位,随后通过串行控制字输入,本例中配置行起始地址为第32行、行窗口大小为4、列起始地址为第32列、列窗口大小为16。可以看到在 FSYNC 上升沿后 WRT 信号拉高,对阵列数据进行采样,第一个 LSYNC 下降沿后,第32行被选通,随后其余行被选通,行选通信号有效期间,依次产生第32~35列、第36~39列、第40~43列、第44~47列的选通信号,选通信号间并未发生重叠现象,表明能够正常实现自定义开窗功能。本例一行选通期间,仅有十六列需要选通,通过缩短 LSYNC 信号周期,使得一个行选通信号有效时间刚好覆盖列窗口选通信号的持续时间,从而能够缩短一帧信号的读出时间,实现小窗口高帧频读出。

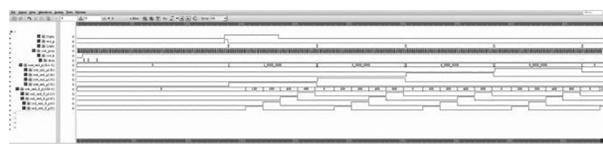


图9 仿真波形图

Fig. 9 Simulation waveform diagram

5 小结

本文介绍了一种具有自定义开窗功能的读出电路数字模块实现方法,首先对电路整体架构及工作时序进行了说明,随后详细介绍了各个子模块的实现原理。相较于传统数字模块,本设计在五个外部输入信号的控制下,实现积分时间调控、工作模式切换、任意开窗、防溢出的功能,进一步提高了系统集成度,并具有易于扩展、操作灵活、控制简单的优势。针对译码器结构输出选通信号时产生的竞争冒险问题,本文通过在行译码器部分增加脉宽可调使能信号的设计,以及在列级采用多数据总线读出的方法,进一步提高了电路的可靠性。最后将电路通过 RTL 级可综合风格 Verilog HDL 进行描述,并对功能进行了验证。仿真结果表明,本设计可以实现自定义区域的开窗读出,在小窗口读出的情况下,可以实现较高的帧频,适用于大规模红外焦平面阵列。

参考文献:

- [1] Reago D, Horn S, Campbell J, et al. Third-generation imaging sensor system concepts [C]//Infrared Imaging Systems: Design, Analysis, Modeling, and Testing X. SPIE, 1999, 3701: 108 - 117.
- [2] Hall D N B, Atkinson D, Beletic J W, et al. Performance of the first HAWAII 4RG - 15 arrays in the laboratory and at the telescope [C]//SPIE Astronomical Telescopes + Instrumentation. International Society for Optics and Photonics, 2012: 10.
- [3] Yu Chunlei, Gong Haimei, Li Xue, et al. 2560 × 2048 short-wave infrared InGaAs focal plane detector (Invited) [J]. Infrared and Laser Engineering, 2022, 51 (3): 11 - 20. (in Chinese)
于春蕾, 龚海梅, 李雪, 等. 2560 × 2048 元短波红外 InGaAs 焦平面探测器 (特邀) [J]. 红外与激光工程, 2022, 51 (3): 11 - 20.
- [4] Jiang Yongqing, Zhou Yan, Liu Changju, et al. A simple implementation of arbitrary windowing in 256 × 256 CMOS image sensor [J]. Semiconductor Optoelectronics, 2011, 32 (1): 105 - 108. (in Chinese)
江永清, 周岩, 刘昌举, 等. 256 × 256 CMOS 读出电路随机开窗的简易实现 [J]. 半导体光电, 2011, 32 (1): 105 - 108.
- [5] Deng T Q J, Shen K, Ruan A W, et al. Design of a control circuit for a user reconfigurable ROIC for IRFPA applications [J]. COMPEL International Journal of Computations and Mathematics in Electrical, 2010, 29 (2): 327 - 337.
- [6] Lü Jie, Luo Yong, Qing Song, et al. Application analysis of infrared guidance technology in air-to-air missile [J]. Journal of Ordnance Equipment Engineering, 2017, 38 (12): 327 - 337. (in Chinese)
吕洁, 罗勇, 卿松, 等. 红外制导技术在空空导弹中的应用分析 [J]. 兵器装备工程学报, 2017, 38 (12): 70 - 74.
- [7] Scheffer D, Dierickx B, Meynants G. Random addressable 2048 × 2048 active pixel image sensor [J]. IEEE Transactions on Electron Devices, 1997, 44 (10): 1716 - 1720.
- [8] Hu Dajiang, Meng Liya, Liu Zedong. Design of windowing random addressable circuit for IRFPA [J]. Laser & Infrared, 2012, 42 (8): 928 - 931. (in Chinese)
胡大江, 孟丽娅, 刘泽东. 红外焦平面器件开窗寻址电路的设计 [J]. 激光与红外, 2012, 42 (8): 928 - 931.