

文章编号:1001-5078(2024)11-1725-05

· 红外材料与器件 ·

一种基于高精度列级 ADC 的读出电路设计实现

李敬国¹, 丁熠², 王京飞¹

(1. 中国电子科技集团公司第十一研究所, 北京 100015; 2. 中国电子科技集团公司, 北京 100000)

摘要: 本文介绍了一种基于列级 ADC 的读出电路设计实现。该读出电路阵列规格为 640×512 , 间距为 $15 \mu\text{m}$, 列级数字化 ADC 结构采用三阶增量式 Sigma-Delta ADC 结构, 其量化分辨率为 16 位, 读出电路最大帧频为 240 Hz, 最大功耗 250 mW, 输出方式采用 LVDS 方式。

关键词: 读出电路; 列级 ADC; $\Delta\Sigma$ ADC

中图分类号: TN216; TN492 **文献标识码:** A **DOI:** 10.3969/j.issn.1001-5078.2024.11.012

Design and implementation of ROIC based on a high-precision column-level ADC

LI Jing-guo¹, DING Yi², WANG Jing-fei¹

(1. 11th Research Institute of CETC, Beijing 100015, China; 2. CETC, Beijing 100000, China)

Abstract: A column-level ADC-based readout circuit design is introduced in this paper. The size of the readout circuit is 640×512 , the pitch is $15 \mu\text{m}$. The column level digital ADC structure adopts a three-order incremental Sigma Delta ADC structure, and its quantization resolution is 16 bits. The maximum frame frequency of the readout circuit is 240 Hz, and the maximum power consumption is 250 mW, and the output method is LVDS mode.

Keywords: ROIC; column-level ADC; Sigma-Delta ADC

1 引言

列级数字化是读出电路数字化有效的技术实现途径, 其主要有几个明显的优点: 其一, 可以大幅提升一帧数据的转换频率, 提高帧频。对于 M (列) \times N (行) 阵列, 列级数字化一帧数据的转换速率^[1]:

$$f_{\text{conv}} = \left[M \cdot N \cdot \left(\frac{\tau_{\text{ADC}}}{M} + \tau_{\text{RO}} \cdot \frac{n_{\text{bit}}}{n_{\text{parallel}}} \right) \right]^{-1} \quad (1)$$

其中, τ_{ADC} 为 ADC 的转换周期; τ_{RO} 为读出 1 位数字信号所需要的时间, 取决于主时钟的频率; n_{bit} 为 ADC 转换的分辨率; n_{parallel} 为并行输出的位数。

其二, ADC 的转换频率可以大幅降低, 如果读出电路每列具有一个 ADC, 规格 640×512 , 帧频为 240 Hz, 则 ADC 的采样速率为 123 ksps (kilo-samples

per second), 即: 行频。其三, 功耗可以比较低, 甚至低于模拟电路的功耗, 主要是由于列级数字化技术消除了原有的高速模拟电路, 列级数字信号可以非常高的速度读出。

2 设计指标分析

2.1 ADC 的分辨率

随着辐射强度的增加, 当辐射强度达到一定程度时, 光子散粒噪声在整个红外探测器系统中噪声占主导, 利用此辐射特点, 当背景温度较高时, 实际上可以放松 ADC 量化的精度^[2] (如图 1 所示), 具体如公式:

$$N_{\text{sig}} = \left(\frac{N_{\text{sat}} \cdot \kappa}{2^n \cdot \sqrt{12} \cdot r} \right)^2 \quad (2)$$

其中, k 为量化步长的倍数, 取值 1, 2, 4, 8, \dots r 为量

化噪声与光子噪声之比,保持定值,光子噪声增加,量化噪声可以相应增加; N_{sat} :饱和电子数,与 ADC

输入范围一致; N_{sig} :ADC 量化步长翻倍时对应的信号大小。

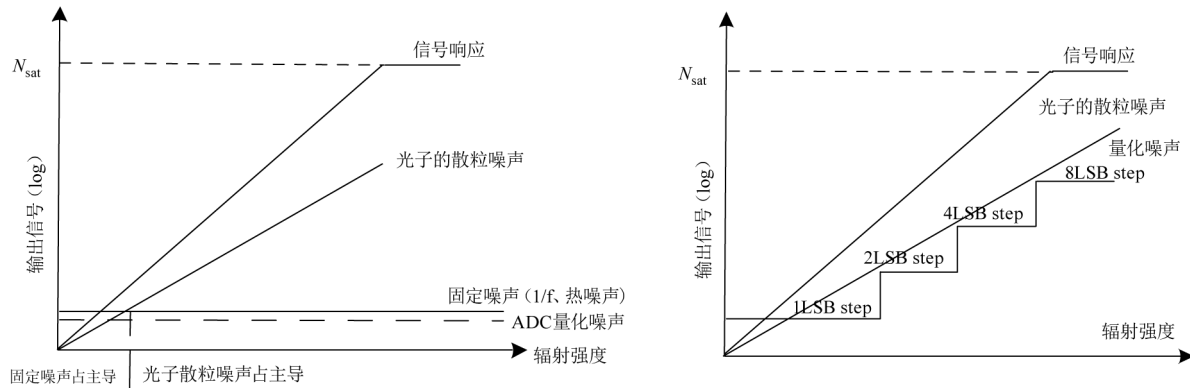


图1 利用光子的散粒噪声,通过二进制方式抬高 ADC 的量化噪声

Fig. 1 Exploitation of photon shot noise in an imager ADC by increasing the quantization step in binary fashion

因此,当背景辐射比较强时,可以适当成比例的降低 ADC 的量化位数,本设计最高分辨率为 16 位,也可以让 ADC 工作于 14 位来换取更好的帧频。

2.2 ADC 的噪声和面积

将多个 ADC 集成在读出电路列级会引起随机噪声,同时,由于不同列 ADC 电路存在失配,将会产生列级固定图形噪声,图像上会存在列信号差异。列级 ADC 对单个 ADC 的版图设计约束比较严格,如果每列具有一个 ADC,则 ADC 版图设计宽度必须 \leq 像素单元的宽度,进而会限制 ADC 种类。为减小 ADC 的适配性,选择了抗适配能力比较好的 Sigma-Delta ADC 结构,同时在版图布局进行了特殊设计,即:将奇列 ADC 和偶数列 ADC 分别置于芯片版图的上部分和下部分,这样 ADC 的版图设计在宽度上可以翻倍,降低固定图形噪声。

2.3 ADC 的速度与功耗

ADC 的速度是一个非常重要指标,ADC 的速度与 N_{ADC} 的数量、 N_{pixels} 、 τ_F 、 τ_{RO} 、 n_{bits} 、 n_{parallel} 的关系如公式(3)。ADC 的数量 N_{ADC} 越大,ADC 的速度要求越低。ADC 的速度在读出速度、像素阵列大小和输出吞吐量存在折中关系。

$$f_s > \frac{1}{N_{\text{ADC}} \left(\frac{\tau_F}{N_{\text{pixels}}} - \tau_{\text{RO}} \cdot \frac{n_{\text{bits}}}{n_{\text{parallel}}} \right)} \quad (3)$$

其中, τ_F 为帧周期; τ_{RO} 为读出一位数字信号所需要的时间,取决于主时钟的频率; n_{bit} 为 ADC 转换的分

辨率; n_{parallel} 为并行输出的位数; N_{ADC} 为像素阵列所拥有的 ADC 的数量。

读出电路的阵列规格为 640×512 ,最大工作帧频为 240 Hz,ADC 的量化分辨率为 16 位,4 路 LVDS 信号输出,采用每列一个 ADC 的实现方式,则 ADC 转换周期 $\leq 8 \mu\text{s}$,输出传输速率约为 320 MHz。如果读出电路的典型工作频率为 120 Hz,则数据传输速率为 160 MHz。

3 总体架构设计

列级数字化读出电路的系统框图如图 2 所示,其中,数字控制电路根据控制信号 (INT)、主时钟 (MC) 及串口输入产生各种模式下的行选、列选、全局采样、复位、行复位、列驱动采样、转移保持、ADC 复位、输出总线选通等像元级、列级和输出级控制信号;Pixel 模块完成像元电流信号的积分,512 行像元信号根据数字控制模块产生的行选通信号送入列总线 BUF (缓冲器);SDM ADC 完成列级模拟电路的模-数转换,经过 Decimation Filter (抽取滤波器) 后得到 16 位数字输出 $\text{ADO} \langle 15;0 \rangle$;Parallel to Serial (并-串转换) 完成 320 列数字信号的并串转换,在高速时钟 CLK_S 的控制下将 $320 \times 16\text{bit}$ 并行数据转换为两路串行数据;整体电路包括偶列和奇列两个部分,总共完成 640 列数据在四个端口的串行输出 (D1 ~ D4),LVDS 将高速串行数字信号转换为低压差分信号以实现高速传输;PLL 为并-串转换电路提供高速时钟。

4 读出电路时序设计

数字化读出电路的主要工作时序如图 3 所示,其中,INT 为输入控制信号,它与主时钟 MC(这里未显示,但图 3 中所有信号边沿均为 MC 上升沿触发)一起送给数字控制器,用于产生图 3 中所示的其余电路控制信号。

如图 3(a)所示,INT 的周期即为帧周期,INT 上升沿为帧周期的开始,然后:1)全局采样信号 CSH 高脉冲,控制所有像元电路对上一帧积分电压进行采样;2)全局复位信号 RSTG 下降沿,开始对像元电路中的积分电容进行复位;3)INT 下降沿,指示完成复位和开启读出过程,随后 RSTG 上升沿到来,完成像元积分电容复位;4)依次产生行选通信号 RSW <0> ~ RSW <511>,实现逐行读出;5)在每一行选通读出之后,马上控制 RSTR 为高,将其像元采样电容复位,实现逐行复位,例如 RSTR <0> 之于 RSW <0>,RSTR <1> 之于 RSW <1>,等等,所有的 RSTR 信号需要在下一个 INT 上升沿来之前从高到低。如图 3(b)所示,当行选通信号 RSW 放大之

后,它包含了列驱动控制、列 A/D 转换和列选通操作。对于列驱动,为了实现连续读出,采用了 ping-pong 采样与保持驱动的设计,对应的采样信号分别为 FS1 和 FS2,对应的保持信号分别为 FH1 和 FH2;对于列 ADC,需要一个复位信号 NRST_AD,在行周期的最开始对 ADC 进行复位,然后在 MC 的控制下开始行周期内的 A/D 转换操作,每次 A/D 转换输出在行周期最后,也即下一行周期的开始,也即 NRST_AD 的下降沿完成锁存;每个行周期为 160 个 MC 周期,依次对应于从 COL <0> ~ COL <159> 的 160 个列选通信号;dv 表示数据有效信号,对于每一帧来说,考虑到列驱动中的 ping-pong 和 A/D 转换,第一行数字化输出出现在列选总线上的时间,应该是从 RSW <2> 开始,即延迟两个行周期,故 dv 的上升沿从 RSW <2> 上升沿开始,其高脉冲将持续 160×512 个 MC 周期(对于全阵列读出);fs 表示 frame start,表征本帧的第一个数据位置,故它的上升沿与 dv 上升沿对齐,高脉冲宽度为 1 个 MC 周期。

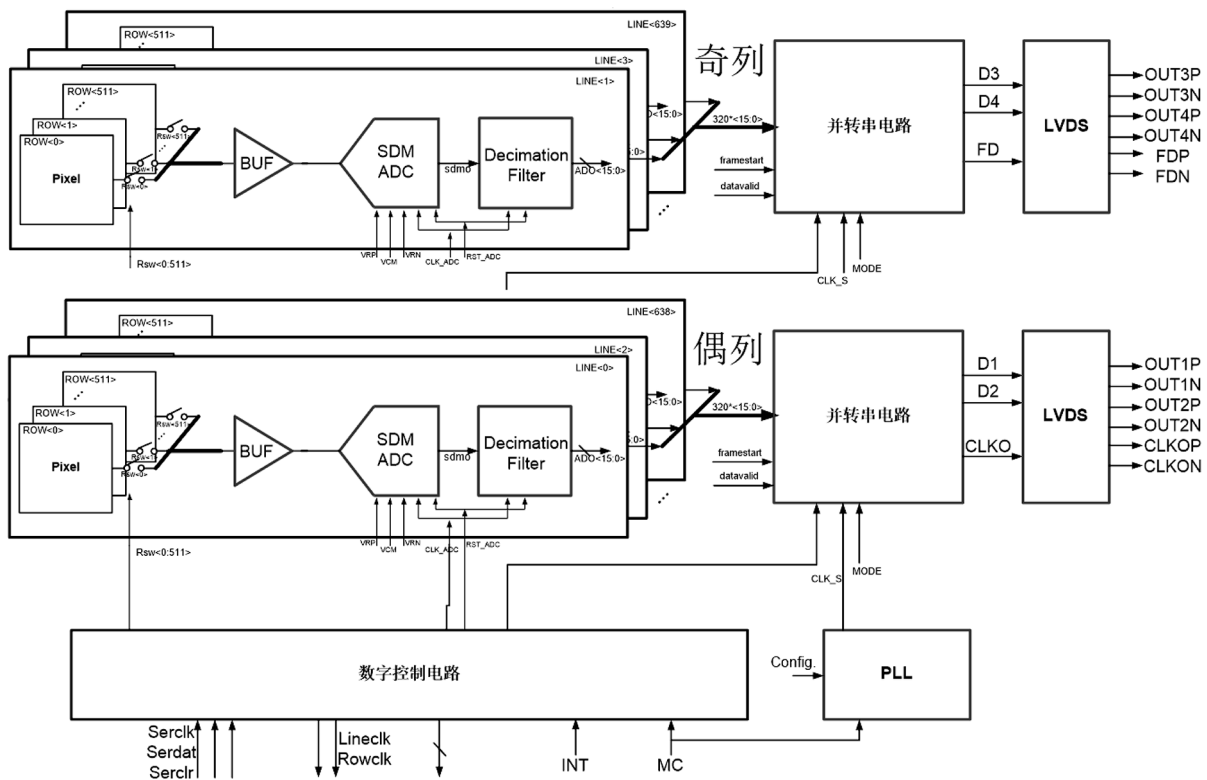


图 2 640 × 512 读出电路总体架构

Fig. 2 640 × 512 ROIC overall architecture

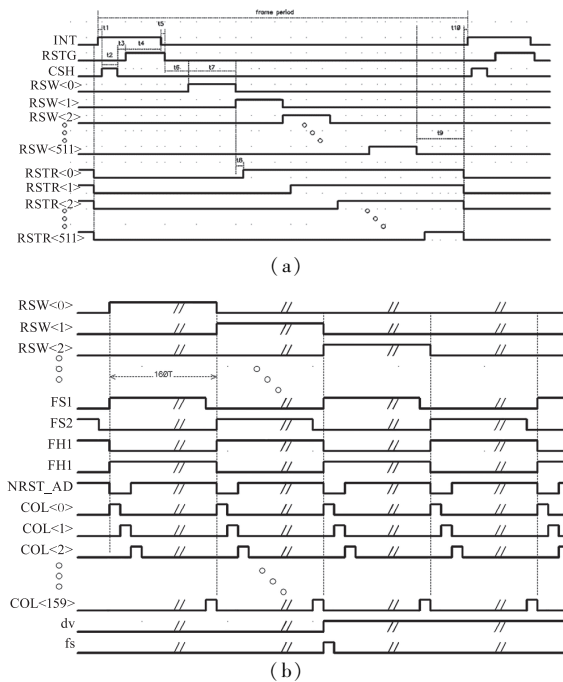


图 3 读出电路工作时序

Fig. 3 The working timing of ROIC

5 列级模数转换设计

Sigma-Delta 引入了过采样和噪声整形^[3],可大幅度降低电容噪声的影响,而且对于元件失配不敏感,可以小面积实现。而增量式 Sigma-Delta ADC 可以实现点对点的 A/D 转换,非常适合应用在读出电路的设计中。

列 ADC 的系统方框图如图 4 所示。ADC 为 3 阶增量式 Sigma-Delta 结构,由调制器(SDM)和数字积分器构成,其中 S_{DM} 以 f_{MC} 或者 $2 \times f_{MC}$ 的速度进行采样,同时输出同频率的 1 bit 数字比特流,后续的数字积分器对其进行低通滤波和抽取,输出 $f_{MC}/80$ 速率、16 bit 的转换结果。

宽带噪声方面, C_s 上的采样噪声需要增大 C_s 容值来抑制; BUF 和 SDM 中的电路噪声可通过过采样和数字抽取滤波来抑制; SDM 中的量化噪声可通过过采样、噪声整形、数字抽取滤波来抑制。

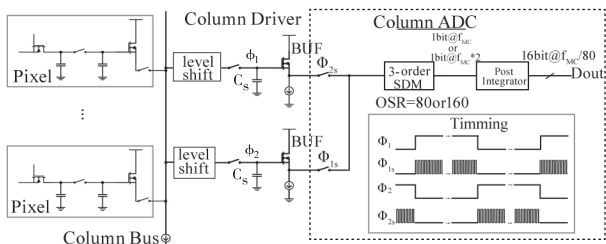


图 4 ADC 链路图

Fig. 4 The ADC channel schematic

SDM 的设计架构如图 5 所示。采用 3 阶 1 bit

CIFF 结构^[4]。在每个转换器周期开始时,用 Reset 信号对每个积分器进行复位,以清除前一个转换的记忆效应。后续的数字抽取滤波器采用 3 阶串联的数字积分器,Reset 信号也用于对数字积分器进行复位。

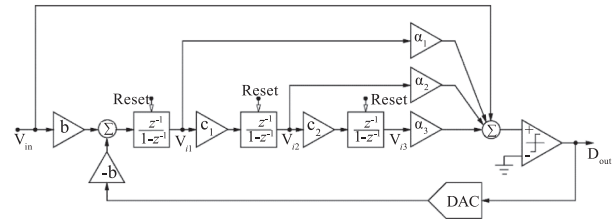


图 5 SDM ADC 设计架构

Fig. 5 The SDM ADC architecture

数字抽取滤波器的原理框图如图 6 所示。对应于 3 阶 sigma-delta 调制器,数字抽取滤波器由三级数字积分器构成。首先,sigma-delta 调制器所输出的 1 bit 数字码流进入第一级积分器(8 bit counter),计数得到的数据再经过两级累加(14 bit & 19 bit accumulator),最后得到 16 bit 的 A/D 转换结果。

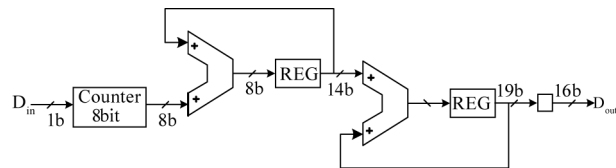


图 6 抽取滤波器结构

Fig. 6 The decimation filter architecture

3 阶 1 bit CIFF 结构 SDM 和抽取滤波器的仿真结果如图 7 所示。可以看到采用目前 SDM ADC 结构,结合过采样率 $OSR = 80$ 和 160 能够满足设计要求。

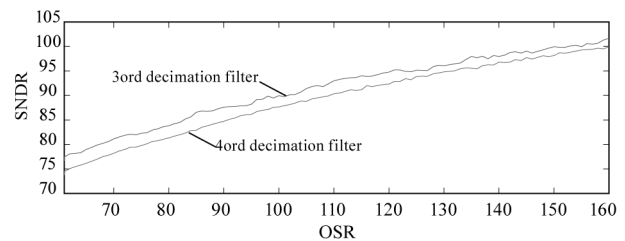


图 7 SDM ADC OSR 与 SNDR 的关系

Fig. 7 Relationship between OSR and SNDR of SDM ADC

6 测试及结论

通过流片测试验证,数字化读出电路的功耗为 220.3 mW,采用 4 路 LVDS 输出,单路输出速率达到了 320 MHz,帧频达到了 240 Hz,列级 Sigma Delta ADC 有分辨率达到 15 位以上,采用奇偶列 ADC 上下对称分布的版图布局方式有效降低了列级 ADC 的适配。图 8 为读出电路电平图,电平均匀性较好;图 9 为验证读出电路功能进行的成像演示。

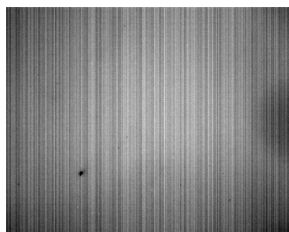


图8 电平图

Fig. 8 The voltage level schematic

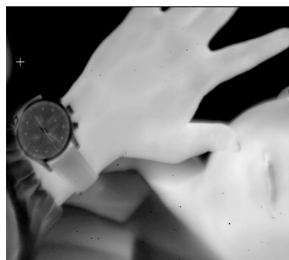


图9 成像演示图

Fig. 9 Imaging schematic diagram

参考文献:

- [1] Juan A, et al. Review of ADCs for imaging. Proc [C] // SPIE 9022, Image Sensors and Imaging Systems, 2014.
- [2] Martijn F. Snoeij. et al. Multiple-Ramp Column-Parallel ADC architectures for CMOS Image sensors [J]. IEEE Journal of Solid-State Circuits, 2007, 42 (12): 2968 - 2977.
- [3] J'anos M'arkus, et al. Incremental Delta-sigma structures for DC Measurement; an overview [C] // IEEE 2006 Custom Intergrated Circuits Conference, 2006; 41 - 48.
- [4] János Márkus, et al. Theory and applications of incremental $\Delta\Sigma$ converters [J]. IEEE Transactions on Circuits and Systems-I; Regular Papers, 2004, 51 (4): 678 - 690.