

文章编号:1001-5078(2025)01-0075-06

· 红外材料与器件 ·

低功耗增量式 Sigma-Delta ADC 的设计

岳佳琪^{1,2}, 李敬国¹, 喻松林^{1,2}

(1. 华北光电技术研究所, 北京 100015; 2. 红外探测全国重点实验室(北京研究中心), 北京 100015)

摘要:通过将模-数转换器(ADC)集成到红外焦平面读出电路中实现模拟信号的数字化以及基于数字信号的智能化的技术,是目前国际上最先进的红外焦平面数字化技术。作为数字化读出电路的核心组成部分,ADC的性能指标直接影响着整体电路性能。ADC的系统架构可以分为芯片级ADC,列级ADC和像素级ADC,列级ADC是目前在红外焦平面应用最广泛的结构。依据列级数字化读出电路对ADC的要求,本文设计了一种二阶前馈增量式 Sigma-Delta ADC,采用 1.8 V 的电源电压,ADC 转换速率为 26kS/s,要实现 14 bit 的量化精度,单个 ADC 功耗小于 100 μ W。采用 CMOS 工艺进行电路设计,仿真结果表明,所设计的增量式 Sigma-Delta ADC 能够满足系统设计指标。

关键词:低功耗电路;列级ADC;增量式 Sigma-Delta ADC

中图分类号:TN215;TN492 **文献标识码:**A **DOI:**10.3969/j.issn.1001-5078.2025.01.011

Design of the low-power incremental Sigma-Delta ADC

YUE Jia-qi^{1,2}, LI Jing-guo¹, YU Song-lin^{1,2}

(1. North China Research Institute of Electric-Optics, Beijing 100015, China;

2. National Key Laboratory of Infrared Detection(Beijing Research Center), Beijing 100015)

Abstract: The technology of digitizing analogue signals and digital signal-based intelligence by integrating an analogue-to-digital converter(ADC) into an infrared focal plane readout circuit is currently the most advanced infrared focal plane digitizing technology in the world. As the core component of the digital readout circuit, the performance index of ADC directly affects the overall circuit performance. The system architecture of ADC can be divided into chip-level ADC, Column level ADC and pixel level ADC, Column-level ADC is currently the most widely used structure in the infrared focal plane. According to the requirement of ADC for column-level digital read-out circuit, a second-order feed-forward incremental Sigma-Delta ADC is designed with a supply voltage of 1.8 V, an ADC conversion rate of 26 kS/s, a quantization accuracy of 14 bit, and a power consumption of less than 100 μ W for a single ADC. The circuit design is carried out by CMOS process, and the simulation results show that the designed incremental Sigma-Delta ADC can meet the system design specifications.

Keywords: low power circuit; column level ADC; incremental Sigma-Delta ADC

1 引言

相比传统的模拟红外焦平面探测器,数字焦平面探测器的信号多路切换和传输于数字域实现,既可增强电路抗干扰能力,也不存在模拟信号的传输

和处理的非线性问题,系统的线性度得以提高。此外,数字焦平面探测器还具备高稳定性、高集成度、接口简单的优点,代表了红外热成像系统的技术发展趋势^[1-3]。作为模拟信号和数字信号沟通的桥

梁,模-数转换器(ADC)在数字化红外焦平面技术中扮演着重要角色。应用于列级数字化读出电路的模数转换器需要具备较高的精度、中等的转换速度,以及低功耗小尺寸的设计,以满足列级并行工作的要求。另外,ADC需要能够容忍模拟电路的寄生效应和失配影响。综上,采用 Sigma-Delta 结构的 ADC 是一种合理的选择^[4-6]。

本文首先介绍了增量式 Sigma-Delta ADC 的工作原理,接着介绍了增量式 Sigma-Delta ADC 的行为级建模及性能验证结果,然后给出了增量式 Sigma-Delta 调制器的系统架构以及数字滤波器的相关介绍,最后给出了性能仿真结果。

2 增量式 Sigma-Delta ADC

2.1 增量式 Sigma-Delta ADC 原理

Sigma-Delta ADC 属于过采样型 ADC,该 ADC 以远大于奈奎斯特的采样频率(采样频率通常取 2 的整数倍)对输入信号进行采样。过采样技术和噪声整形技术是 Sigma-Delta ADC 中引入的主要技术,前者可以在更广的频带范围内对量化噪声的功率谱密度进行稀释,后者通过将量化噪声推向高频带,以减少有用信号频带的噪声分布,进而提高调制器性能^[7-8]。

传统的 Sigma-Delta ADC 大多针对某一频段的信号进行转换,主要捕捉这一频段的信号和噪声特性,例如音频信号一般针对 20 ~ 20 kHz。然而另外一些应用通常关注的是直流信号本身,比如阵列传感器、数字电压表和生物传感器等,在 ADC 转换的一个周期内,这些应用的输入信号几乎不发生变化。增量式 Sigma-Delta ADC 的复位特性非常适用于直流信号的检测^[9]。传统的 Sigma-Delta ADC 通常仅在启动期间打开复位开关,而在增量式 Sigma-Delta ADC 中,复位开关每隔 M 个周期打开一次,使电路中的所有储存元件复位,如调制器中的电容和数字滤波器中的寄存器^[10]。如此一来,增量式 Sigma-Delta ADC 允许多路复用,也可以通过睡眠模式降低功耗,实现了速度和功耗的折中^[11]。

增量式 Sigma-Delta ADC 另一重要特性是,在一定范围内,变换精度与转换速度可以互相交换^[12]。图 1 给出了增量式 Sigma-Delta ADC 量化周期数与量化精度的关系图^[13],在指定调制器结构和阶数的情况下,要达到指标要求的 ADC 分辨率,每次变换需要的时钟周期数是一定的^[14]。量化周期

数越长,量化精度也随之升高,这一特性能够实现可变分辨率 ADC。

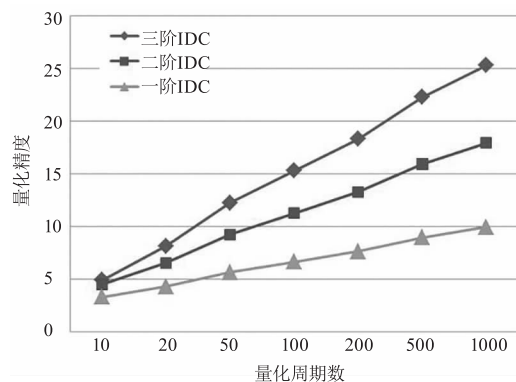


图 1 增量式 Sigma-Delta ADC 量化周期数与量化精度关系^[13]

Fig. 1 The relation between quantification cycle number and quantification accuracy of incremental Sigma-Delta ADC^[13]

2.2 增量式 Sigma-Delta ADC 架构选择

按照指标要求,ADC 转换速率 26 kS/s,分辨率不小于 14 位,功耗小于 100 μ W。根据多路复用的应用场景,首先要考虑低功耗;其次,从电路实现的角度看,ADC 占用的面积越小越好,因此要求电路结构尽可能简单。综合考虑上述条件,调制器采用二阶单环一位量化的 CIFF 结构,数字抽取滤波器采用两级级联积分器。图 2 给出了增量式 Sigma-Delta ADC 的系统架构,其中虚线框内的是 Sigma-Delta 调制器,输入正弦波信号经过两级积分器和比较器后被调制为随机脉冲,正弦波的波峰对应输出更多的高电平,波谷对应输出更多的低电平,通过高低电平的疏密程度表征输入信号的电压幅度,后级的滤波器对脉冲信号进行计数,得到最终的数字输出^[15-16]。

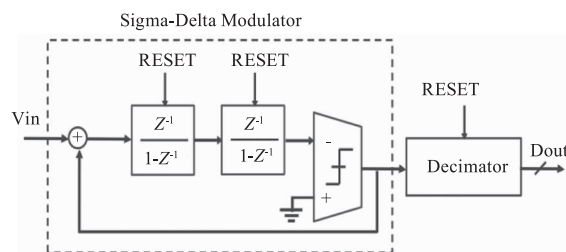


图 2 增量式 Sigma-Delta ADC 的系统架构

Fig2. System architecture for the incremental Sigma-Delta ADC

3 增量式 Sigma-Delta 调制器的系统级建模与性能验证

电路级设计仿真耗时过长,代价较大,为了缩短设计周期,提高效率,首先对增量式 Sigma-Delta 调制器结构进行行为级建模。综合考虑实际设计过程

中存在的各种非理想因素对调制器性能的影响,包括时钟抖动、开关的非线性、噪声,运放的有限增益以及运放的带宽和压摆率等,建立相应的非理想因素模型,将其嵌入至理想模型中,完成带有非理想因素的调制器模型,并对其进行仿真分析,为 Sigma-

Delta 调制器电路模块设计部分提供指导。

综合考虑各种非理想因素之后的调制器在 Simulink 中的模型如图 3 所示。非理想调制器模型包含了 Jitter 模块、KT/C thermal noise 模块, OP noise 模块以及实际非理想积分器模块。

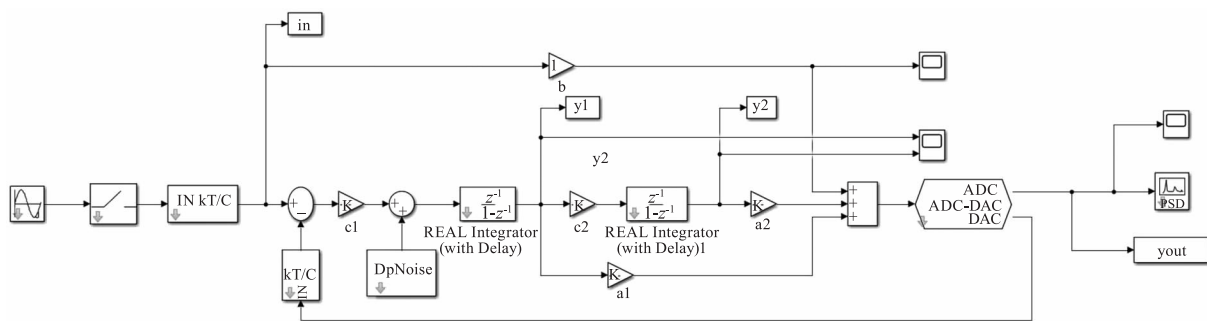


图 3 各级积分器的输出

Fig.3 The output of the integrator

在 Simulink 环境中进行调制器的行为级仿真,优化调制器系数,同时观察各级积分器的输出摆幅,保证积分器的稳定。图 4 是调制器在幅度 -5 dBFS 的正弦输入激励下各积分器输出的时域图像,可以看到各级积分器的输出都限制在 0.6 (归一化) 以内。图 5 是与之对应的各周期内各积分器输出信号值的频率分布情况。可以看到整形后的量化噪声的高频分量逐级衰减,所以第二级积分器的输出摆幅会 smaller。

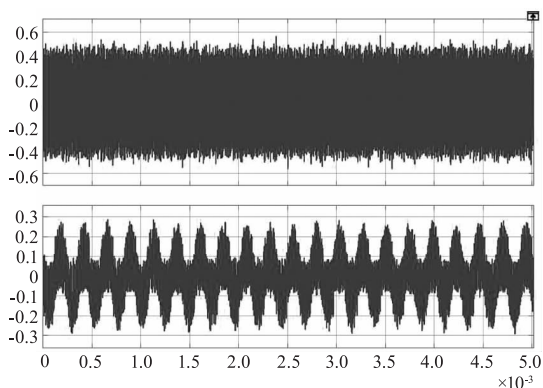


图 4 各级积分器的输出摆幅

Fig.4 The output swing of the integrator

设置 6.6 MHz 的采样频率,过采样率为 256 ,输入正弦波信号,信号幅度为 -5 dBFS,仿真 32768 个周期后对调制器输出做 FFT 分析,可以得到图 6 所示的调制器输出功率谱,对图 6 进行局部放大,得到图 7 所示的输出频谱,调制器输出信噪失真比为 90.1 dB,有效位数为 14.7 bit。

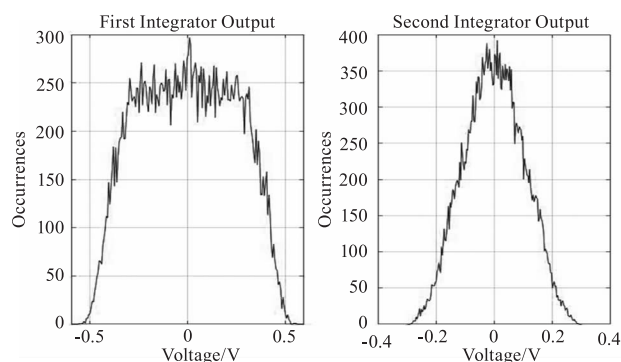


图 5 包含非理想因素的调制器模型

Fig.5 Modulator models containing non-ideal factors

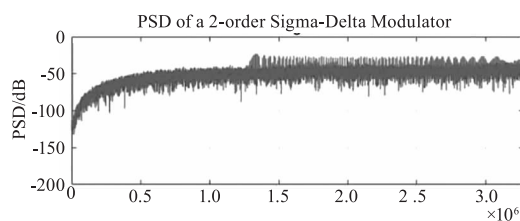


图 6 考虑所有非理想效应后调制器的输出功率谱

Fig.6 The output power spectrum of the modulator after considering all non-ideal effects

4 增量式 Sigma-Delta ADC 电路级实现及仿真结果

在系统级建模加入的各种非理想因素为电路级实现提供了指标参考。图 8 给出了调制器整体电路结构,由开关电容积分器、非交叠时钟、无源加法器, DAC 反馈和量化器等模块构成。

输入信号在经过调制器采样量化后,输出的是频率为过采样率 F_s 、字长为 N 的二进制码流。图 9 所示的数字抽取滤波器的作用是滤除频谱信

号带宽以外的高频噪声,同时,将输出码流的频率降低到奈奎斯特频率。传统的 Sigma-Delta ADC 的数字抽取滤波器不仅设计比较复杂,而且占用大量的芯片面积,功耗还比较大^[17]。而增量式 Sigma-Delta ADC 由于周期复位,可以用简单的累加器级联实现数字抽取滤波器,大大缩减了功耗和版图面积^[18]。

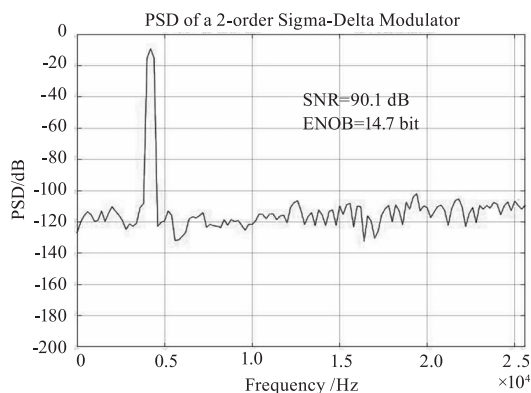


图7 考虑所有非理想效应后调制器的输出功率谱(局部)

Fig.7. The output power spectrum of the modulator after considering all non-ideal effects (part)

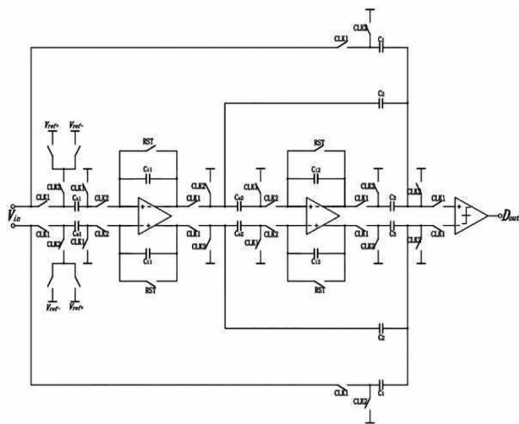


图8 调制器整体电路结构^[11]

Fig. 8 Structure diagram of the modulator overall circuit^[11]

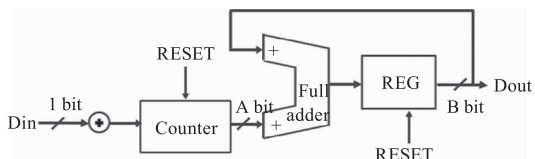


图9 数字抽取滤波器

Fig. 9 Digital extraction filter

在完成了积分器、加法器,比较器和时钟电路等模块的设计与验证以后,对调制器整体电路结构进行仿真。采用正弦波作为输入信号,对调制器的输出做 FFT 变换,测试动态性能。为了避免频谱泄露,采用相干采样的方式,采样频率 F_s 与输入信号的频率 F_{in} 相关,采样点数和信号周期数互质。在本设计

中,采样频率为 6.6 MHz,对输出选取 16384 个点做 FFT,输入信号幅度 -6 dBFS,频率为 3.62549 kHz,使得信号的二次、三次谐波都包括在内。电源电压为 1.8 V,共模电平为 0.9 V,过采样率(OSR)设为 256。调制器输出采集到的数据流传输到 Matlab 中进行处理,在频谱图中可以得到信噪比 SNR 为 89.7 dB,ENOB 是 14.6 bit,符合设计预期。考虑到调制器是用于检测直流信号,实际具有相对更高的过采样率,信噪比会更大^[19]。

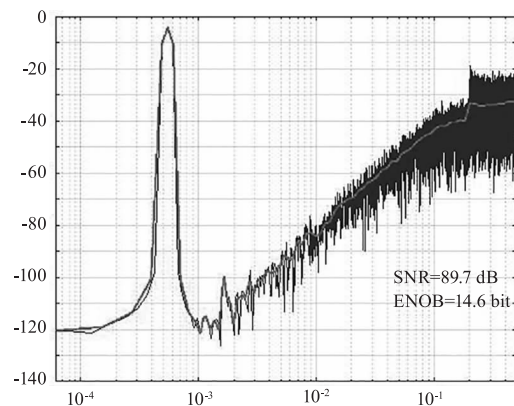


图10 调制器电路仿真的输出频谱

Fig. 10 The output frequency spectrum of the modulator circuit simulation

数字滤波器由两级积分器级联组成,第一级是一个 8 位二进制计数器,对调制器输出的脉冲进行计数;第二级由行波进位加法器和数据寄存器构成,在每个时钟周期对上一级的计数器输出数字码进行累加,最后得到一个 15 位的数字码,每 256 个时钟周期进行一次复位操作。如图 11 所示,输入一组二进制码流,对数字滤波器进行仿真,可以看到它的功能是正常的。

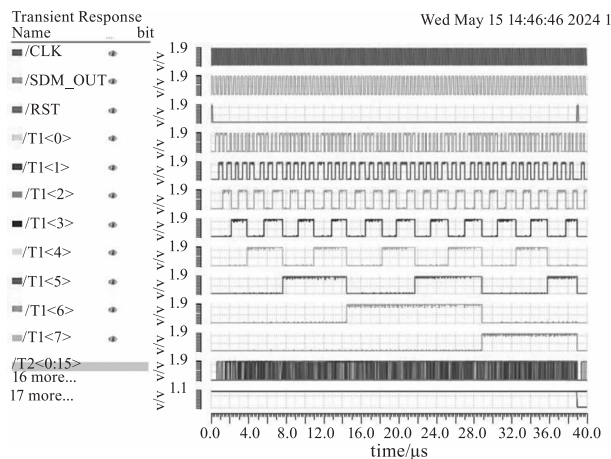


图11 数字抽取滤波器电路仿真图

Fig. 11 Simulation diagram of the digital extraction filter circuit

将调制器和数字滤波器一起进行仿真验证,模拟输入输出传输曲线如图 12(a)所示,差分输入范围为 0.4 V 至 1.4 V,(b)为局部仿真图,61 μV 的 LSB 表明 ADC 可实现 15 位分辨率。调制器的功耗

为 74.88 μW ,数字滤波器的功耗为 9.39 μW ,单个 ADC 的功耗为 84.27 μW 。本文与其他文献 ADC 性能指标对比如表 1 所示,可以看出本设计具有低功耗的优势。

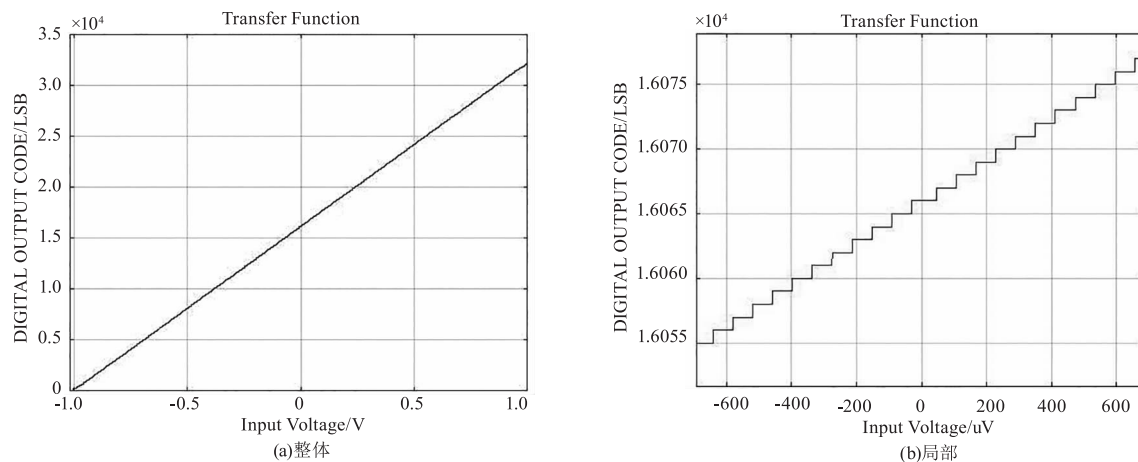


图 12 增量式 Sigma-Delta ADC 的模拟输入输出传输曲线

Fig. 12 Simulated input-output transfer curve of incremental Sigma-Delta ADC

表 1 本文与其他文献设计性能指标对比

Tab. 1 Designed performance index comparison table

参数	文献			
	[10]	[11]	[20]	our work
Process/ μm	0.18	0.18	0.13	0.18
Architecture	Incremental Sigma-Delta ADC	Incremental Sigma-Delta ADC	Incremental Sigma-Delta ADC	Incremental Sigma-Delta ADC
Supply voltage/V	1.8	1.8	3.3/1.2	1.8
Sample frequency/MHz	6.25	5	37.6	6.6
OTA type	Inverter-based	Two-stage Miller compensation	Folded cascode	Telescope cascode
Conversion cycle	195	128	8	256
Power/ μW	124.2	189	260.5	84.27
ENOB/bit	14.55	13.12	9.66	14.6
Peak SNR/dB	89.4	80.7	59.9	89.7

5 总结

本文设计了一种应用于红外焦平面列级数字化读出电路的 ADC,该 ADC 为二阶前馈增量式 Sigma-Delta ADC,首先使用 Matlab Simulink 工具对调制器进行系统级建模,对可能存在的非理想因素进行分析、建模并仿真;然后在 SMIC 0.18 μm 的 CMOS 工艺下对晶体管级的电路进行设计、仿真验证。仿真结果表明,本文设计的增量式 Sigma-Delta ADC 实现了 15 bit 的量化精度,单个 ADC 功耗为 84.27 μW 。阵列型传感器在未来将进一步向小面积、高精度、低功耗方向发展,增量式 Sigma-Delta ADC 由于其特有

的特性优势必将成为本领域未来研究的重要方向。

参考文献:

- [1] Li Jingguo, Yuan Yuan, Yu Yan. Infrared focal plane column-level digital technology[J]. Laser & Infrared, 2023, 53(8):1266-1271. (in Chinese)
李敬国,袁媛,于艳. 红外焦平面列级数字化技术[J]. 激光与红外, 2023, 53(8):1266-1271.
- [2] Yao Libin, Chen Nan. High performance low noise digital-readout circuit[J]. Infrared and Laser Engineering, 2020, 49(1):0103009. (in Chinese)
姚立斌,陈楠. 高性能低噪声数字读出电路[J]. 红外

- 与激光工程,2020,49(1):83-92.
- [3] Gupta Priya, Earnest Aruj, Mitra Srinjoy. 10-Bit 200 kHz/8-Channel Incremental ADC for Biosensor Applications [J]. Journal of Circuits, Systems and Computers, 2023, 32(2):1
- [4] Zhong Shengyou, Yao Libin, Fan Mingguo, et al. 1280 × 1024, 10 μ m digital infrared focal plane readout circuit design (specially invited) [J]. Infrared and Laser Engineering, 2022, 51(4):9-16. (in Chinese)
钟昇佑, 姚立斌, 范明国, 等. 1280 × 1024, 10 μ m 数字红外焦平面读出电路设计(特邀)[J]. 红外与激光工程, 2022, 51(4):9-16.
- [5] Bo Wang, Man Kay Law, Samir Brahim Belhaouari, et al. Near-optimal decoding of incremental delta-sigma ADC output [J]. IEEE Transactions on Circuits and Systems I Regular Papers, 2020, (99):1-11.
- [6] Zhang X, Hou Y, Wang X, et al. A 12 μ W 10 kHz BW 58.9 dB SNDR AC-coupled incremental ADC for neural recording [J]. Electronics, 2024, 13(7):1222
- [7] Lee S, Jeong J, Kim T, et al. A 5.2-Mpixel 88.4-dB DR 12-in CMOS X-ray detector with 16-bit column-parallel continuous-time incremental $\Delta\Sigma$ ADCs [J]. IEEE Journal of Solid-State Circuits, 2020, (99):1-1.
- [8] Wang B. Resolution enhancement techniques for multi-bit incremental ADC [D]. Macau: Science and Technology University of Macau, 2019.
- [9] Fang Lairong, Zhang Shuwen, Li Yijie, et al. A 107.6 dB-DR three-step incremental ADC for motion-tolerate biopotential signals recording [C]//IEEE Transactions on Biomedical Circuits and Systems, 2023.
- [10] Chen Junsheng. Research and design of readout circuit for CMOS image sensor [D]. Hangzhou: Zhejiang University, 2023. (in Chinese)
陈君胜. 用于 CMOS 图像传感器的读出电路的研究与设计 [D]. 杭州: 浙江大学, 2023.
- [11] Li Linyang. Research on the low power Incremental $\Delta\Sigma$ ADC [D]. Chengdu: University of Electronic Science and Technology, 2022. (in Chinese)
李林洋. 低功耗增量型 $\Delta\Sigma$ ADC 的研究 [D]. 成都: 电子科技大学, 2022.
- [12] Zhong Shengyou, Chen Nan, Fan Mingguo, et al. 640 × 512 digital InGaAs detector assembly [J]. Infrared and Laser Engineering, 2020, 49(7):20190495. (in Chinese)
钟昇佑, 陈楠, 范明国, 等. 640 × 512 数字化 InGaAs 探测器组件 [J]. 红外与激光工程, 2020, 49(7):69-76.
- [13] Yang Liu. Design of extended counting Sigma-Delta ADC with hardware reuse [D]. Tianjin: Tianjin University, 2014. (in Chinese)
杨柳. 采用扩展计数和硬件复用的 Sigma-Delta ADC 设计 [D]. 天津: 天津大学, 2014.
- [14] Huang Jiasheng, Kuo Shihche, Kao Chiawei, et al. A fourth-order incremental ADC in three-step [J]. The Journal of Engineering, 2021, 2021(7):394-398.
- [15] Patrick Vogelmann, Johannes Wagner, Maurits Ortmanns. A 14b, twofold time-interleaved incremental $\Delta\Sigma$ ADC using hardware sharing [J]. IEEE Transactions on Circuits and Systems I Regular Papers, 2020, 67(11):1-12.
- [16] F Frazzica, et al. A 12 bit 4.7-MS/s 260.5- μ W digital feed-forward incremental- $\Sigma\Delta$ -SAR ADC in 0.13- μ m CMOS for image sensors [J]. IEEE Sensors Journal, 2021, 21(19):21653-21666.
- [17] B Wang, SSin, U Seng-Pan, et al. A 550 μ W 20 kHz BW 100.8 dB SNDR linear-exponential multi-bit incremental $\Delta\Sigma$ ADC with 256 Clock cycles in 65-nm CMOS [J]. IEEE J. Solid-State Circuits, 2019, 54(4):1161-1172.
- [18] Huang Linqing, Shen Jiulong, Ma Qiyun, et al. A low-noise and monolithic array tactile sensor based on incremental delta-sigma analog-to-digital converters [J]. Electronics, 2022, 11(8):1206-1206.
- [19] Akbari Masoume, Honarparvar Mohammad, Savaria Yvon, et al. Power bound analysis of a two-step MASH incremental ADC based on noise-shaping SAR ADCs [J]. IEEE Transactions on Circuits and Systems I-Regular Papers, 2021, 68(8):3133-3146.
- [20] F Frazzica, et al. A 12 bit 4.7 MS/s 260.5 μ W digital feed-forward incremental- $\Sigma\Delta$ -SAR ADC in 0.13 μ m CMOS for image sensors [J]. IEEE Sensors Journal, 2021, 21(19):21653-21666.