

文章编号:1001-5078(2025)02-0239-04

· 红外材料与器件 ·

一种高速全差分输出线列型读出电路设计方法

王 静, 孟令伟, 刘 伟, 李冬冰, 李敬国
(中国电子科技集团公司第十一研究所, 北京 100015)

摘 要: 红外探测器发展进入第三代后, 以大面阵、长线列应用为典型代表, 其中长线列通常使用拼接结构实现。对于参与拼接的单片电路规模也在不断的扩展、行频不断的提升。阵列规格的增加带来信号传输链路延长, 行频提升对读出速率提出新的要求, 这些还必须考虑探测器的低温应用, 要求读出电路提出更加合理有效的应对措施。本文探索了一种新的输出机制, 针对长线列的应用, 可以通过全差分输出抑制传输噪声, 同时差分模块转换模块独立于探测器主芯片, 在不影响芯片整体热耗的前提下, 显著的提升读出速率。依赖于这种设计, 线列读出速率提升至 20 MHz, 对于 1 k 的规模, 行频达到 19 kHz。

关键词: 线列读出电路; 全差分输出; 信号转换; 拼接电路

中图分类号: TN216; TN491 **文献标识码:** A **DOI:** 10.3969/j.issn.1001-5078.2025.012

Design of high-speed line-array ROIC with fully differential output

WANG Jing, MENG Ling-wei, LIU Wei, LI Dong-bing, LI Jing-guo
(The 11th Research Institute of CETC, Beijing 100015, China)

Abstract: Infrared detector development into the third generation, with a large array, long line array applications as a typical representative, of which the long line array is usually achieved using the splicing structure. The scale of the monolithic circuit involved in splicing is also expanding, and the line frequency is increasing. The increase in array specifications brings about the extension of the signal transmission link, the line frequency enhancement puts forward new requirements for the readout rate, and these must also take into account the detector's low-temperature applications, requiring the readout circuit to put forward a more reasonable and effective countermeasures. In this article, a novel output method is explored for long line array, which can suppress transmission noise by full differential output, while the differential module conversion module is independent of the main detector chip. The readout rate is significantly increased without affecting the overall thermal consumption of the chip. Depends on this design, the readout rate of line array is increased to 20 MHz, and for 1k scale, the line frequency reaches 19 kHz.

Keywords: line-array ROIC; fully differential output; signal transformation; spliced circuit

1 引 言

近年来, 红外探测器发展进入第三代并蓬勃发展, 其中超大面阵和超长线列作为三代探测器的典型应用面临着多重考验。高精度拼接技术是目前实现超长线列的常用技术, 其利用小的探测器模块如 512 列、1024 列, 通过拼接可实现 5000 列、15000 列、30000 列超长线列, 提高成像幅宽, 克服集成电

路制造工艺对曝光区的限制, 降低设计成本, 实现更高性能的线列电路^[1-2]。

然而, 随着技术的突破和对线列规模的不断扩展, 探测器组件结构越来越大, 内部走线不断延长。长距离走线会带来信号传输问题, 影响输出信号噪声、均匀性^[3]。参与拼接的单模块规格也在不断提高, 若保持读出速度不变, 线列长度的增加将带来行频

的降低,这在一些应用中是无法接受的。如何能够更快、更好的实现探测器输出信号的传输,是读出电路设计面临的一项考验。

2 常规 TDI 线列读出电路

线列探测器由最初的单像元、单线列发展到现在的时间延迟积分(Time Delay Integration, TDI)模式线列探测器,线列的规模和性能都在逐步提升。TDI 模式的出现,提高了传输信号的信噪比,理论上参与 TDI 传输的像元越多,信噪比提升越高。TDI 模式通过延迟积分的形式,让信号逐级传输后进行平均,这种平均运算使得信号和噪声功率同时的得到平均,最终实现信噪比的提升。TDI 传输路径图如图 1 所示。

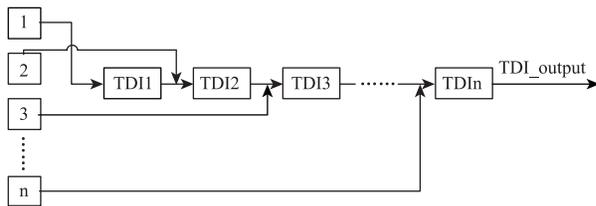


图 1 TDI 传输路径

Fig.1 Signals transfer path of TDI

$$V_{\text{output}}(nt) = \frac{1}{n} [V_{\text{sig1}}(t) + V_{\text{sig2}}(2t) + V_{\text{sig3}}(3t) + \dots + V_{\text{sig}n}(nt)]$$

上式给出了 TDI 模式下信号传输函数,其中,每列参与 TDI 传输的像元数为 n , t 为每一级 TDI 传输需要的时间,经过 nt 时间传输,所有参与 TDI 的像元信号进行平均,最终输出信号等同于单元信号量。而在传输过程中,像素输入级的 KTC 噪声、FPN 噪声等也跟随进入平均运算,不同的是噪声以功率形式累加平均。因此最终得到噪声电压为单像元的 $\frac{1}{\sqrt{n}}$ 。这样,信号平均后不变,噪声平均后降低,实现信噪比提升 \sqrt{n} 倍。

以上述单列为基本单元,可以形成 TDI 线列读出电路,其整体拓扑结构如图 2 所示。

图 2 构成常规 TDI 线列读出电路主要实现方法,其阵列部分主要有四大模块:像元阵列,TDI 传输电路、列级放大器、输出通道。其中像元阵列通过倒装互连的方式与探测器相连,将探测器产生的光电流收集转换为电压信号供后级处理和传输。通常其单片规模为 $288 \times n$ 、 $512 \times n$ 、 $1024 \times n$ 等, n 为参

与 TDI 传输的像元个数。这个 n 个像元信号通过 TDI 传输电路后输出到列级放大器,列级放大器在读出时钟控制下,逐列输出信号并通过输出通道提高信号驱动力,供后端成像电路使用。

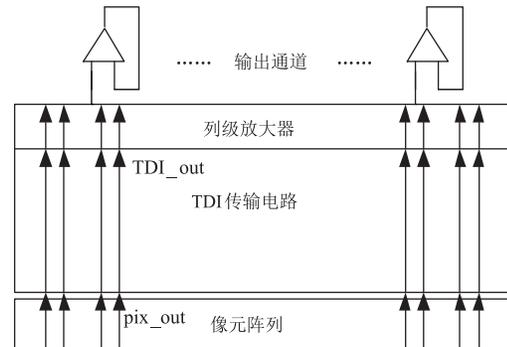


图 2 TDI 线列型读出电路拓扑图

Fig.2. Classical structure of line array ROIC with TDI

随着应用环境的多样化和精细化,对单片线列读出电路在噪声控制、输出端口以及功耗等方面提出了更加严苛的要求,尤其作为拼接用的模块,这些指标的要求在设计中往往要求同时兼顾,对设计是极大的挑战。

3 全差分输出模块设计

根据红外探测器一些全新的应用条件,本文提出了一种较为新颖的解决方案,该方案引入高速全差分输出转换模块,一方面实现单端输出信号转差分信号,提高信号传输抗干扰能力;另一方面,通过高速转换模块将 TDI 线列输出速率提升,进而提高线列电路输出行频。该转换模块针对一款具有单端四端口输出的 TDI 线列型读出电路进行配套设计,最终实现 20 MHz 高速差分信号输出^[4-5],转换完成后 4 端口输出 TDI 电路最终由一对差分信号输出。图 3 给出了全差分转换模块的拓扑结构,图 4 给出了控制开关簇的时序^[6-7]。

图 3 中,TDI 线列读出电路的输出作为高速全差分输出转换电路的输入端,被该模块采样、转换。差分输出转换模块主体采用开关电容结构^[8],信号具有存储功能,因此 TDI 线列读出电路与差分转换模块可以不同频,从而实现信号高速读出。高速全差分输出转换电路采用乒乓工作方式,避免采样后读出占用时间,影响电路工作频率。开关电容工作时序如图 4,图中时序针对四通道的转换。握手信号由 TDI 线列电路提供,提供转换的同步信号。乒乓结构下 S1 时钟簇(S1, S1', S2a ~ S2d)采样的时候,

S2 时钟簇 (S2, S2', S1a ~ S1d) 进行信号的转换读出。开关 S1 和 S2 开启频率与线列读出电路一致, 处于低速状态。由于采用电容存储信号, 因此每次转换来临之前, 需有 RST 复位开关对电容进行复位, 避免信号残留。随后, S1a ~ S1d 四个时钟顺序打开, 将 C_{s12} 上采样的信号读出到差分放大器中进行转换, S1a ~ S1d 开启时间为 S1/S2 开启宽度的 1/4, 从而实现信号 4 倍频输出。

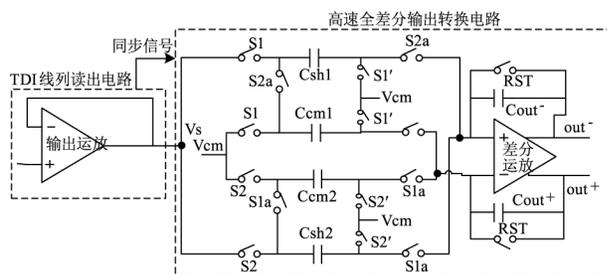


图3 高速全差分转换模块(1通道)

Fig. 3 High speed fully differential output block (one channel)

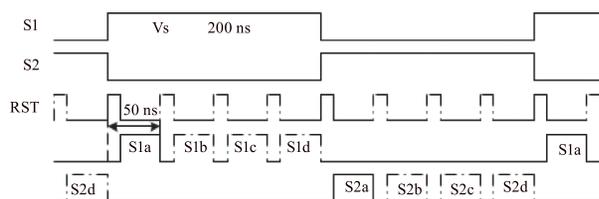


图4 控制开关簇时序

Fig. 4 Timing of control switch cluster

该模块的应用可以使得 TDI 线列电路工作在低速状态, 以便控制功耗, 适用于低温应用。而信号转换模块得以将信号 4 倍频转换后高速输出, 同时原本 4 通道输出变为 1 对差分信号, 减少引出管脚, 这对于拼接应用非常有利。

4 带有全差分输出的线列型读出电路

上述全差分高速信号转换模块通过采样再转换的方式, 将信号进行提速、差分输出, 这种工作模式可以使得常规 TDI 线列电路工作在低速模式下, 从而降低整个阵列的功耗。按照上文对 TDI 电路的描述, 如果直接设计高速 TDI 线列电路, 面临着像素级、列运放和输出运放均工作在高速条件下, 这对低温应用很不友好。采用转换模块后大功耗只需满足差分转换模块, 然而, 该模块只使用 1 个就可以实现 4 通道信号转换, 其需要的功耗远低于整个线列型读出电路工作在高速时钟下的功耗需求。

对于适用于拼接的模块化 TDI 线列电路来说, 转换模块的引入, 从信号传输质量、功耗控制、行频

提升、管脚引出等多个方面, 都提供良好的支撑。图 5 给出了 TDI 读出电路和差分电路以及信号系统的连接关系, 图 6 给出了带有信号转换的电路设计仿真结果。

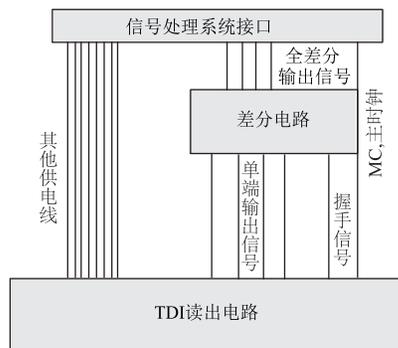


图5 各模块连接关系

Fig. 5 Connection relationship of each block

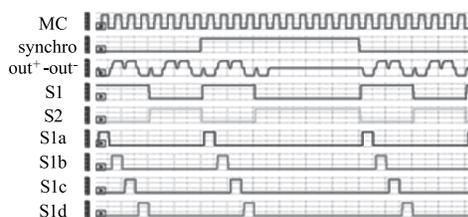


图6 信号转换电路设计仿真结果

Fig. 6 Simulation result of signal switch block

5 结论

一种高速全差分信号转换模块被提出, 该模块可配合常规 TDI 线列型探测器使用, 实现单端信号转差分信号输出, 在拼接结构和长距离信号传输中, 差分信号可以很好的抑制传输过程中共模干扰, 提高信号远距离传输能力。该设计还可以实现 TDI 读出电路低速输出转高速全差分输出, 线列电路无需直接设计高速输出, 因此能够大大节约电路功耗, 适用于低温环境应用。

由于高速全差分信号转换模块相对独立的设计, 使其可以灵活的与不同线列型探测器配合使用, 同时不会影响线列探测器的特性, 两者可以按照应用需求, 灵活组合, 为电路性能的提升提供了新的解决途径, 降低探测器读出电路设计的压力。

参考文献:

[1] Liu Zewei, Zhao Gang, Zhao Jianzhong. A Design of low power ROIC based on switched-opamp[J]. Laser & Infrared, 2008, 38(9): 933-936. (in Chinese)
刘泽巍, 赵钢, 赵建忠. 基于 Switched-opamp 的低功耗

- 读出电路设计[J]. 激光与红外, 2008, 38(9): 933-936.
- [2] Wang Pan, Ding Rui-jun, Ye Zhen-hua. CTIA input stage design of short-wavelegth staring IRFPAs ROIC[J]. Laser & Infrared, 2013, 43(12): 1363-1367. (in Chinese)
王攀, 丁瑞军, 叶振华. 短波 IRFPAs 读出电路 CTIA 输入级的优化设计[J]. 激光与红外, 2013, 43(12): 1363-1367.
- [3] Behzad Razavi. Design of analog CMOS integrated circuits [M]. Xi'an: Xi'an Jiaotong University Press, 2008. (in Chinese)
毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2008.
- [4] Sudhir M Mallya, Joseph H Nevin. Design procedures for a fully differential folded cascode CMOS operational amplifier [J]. IEEE Solid-State Circuit, 1989, 24(6): 1737-1740.
- [5] Miran Mildovic. Current gain high-frequency CMOS operational amplifier [J]. IEEE Solid-State Circuit, 1985, 20(4): 845-851.
- [6] Willy M. C. Sansen. Analog design essentials [M]. Beijing: Tsinghua University Press, 2010. (in Chinese)
Willy M. C. Sansen. 模拟集成电路设计精粹[M]. 北京: 清华大学出版社, 2010.
- [7] TANG Ning, YANG Qiuyu, ZHAI Jianghui. Design of high performance fully differential operational amplifier [J]. Microelectronics, 2011, 41(5): 636-639. (in Chinese)
唐宁, 杨秋玉, 翟江辉. 高性能全差分运算放大器设计[J]. 微电子学, 2011, 41(5): 636-639.
- [8] ZHU Zhang-ming, YANG Yin tang, CHAI Chang chun. A study on new CMOS sample and hold circuits [J]. Microelectronics, 2004, 34(3): 298-301. (in Chinese)
朱樟明, 杨银堂, 柴常春. 新型 CMOS 采样/保持电路的设计研究[J]. 微电子学, 2004, 34(3): 298-301.