

文章编号:1001-5078(2025)03-0382-06

· 红外材料与器件 ·

# 数字像元红外读出电路的比较器设计

李晓飞<sup>1,2</sup>, 袁媛<sup>1</sup>, 喻松林<sup>1,2</sup>

(1. 华北光电技术研究所, 北京 100015; 2. 红外探测全国重点实验室(北京研究中心), 北京 100015)

**摘要:** 红外探测器通常需要通过延长积分时间来积累更多红外信号, 这就会使得传统的模拟域读出电路积分电容过早饱和, 数字像元读出电路能够很好地解决该问题。目前脉冲频率调制型 A/D 转换结构被广泛应用于像素级 ADC 方案。比较器作为脉冲频率调制型 A/D 转换单元的重要组成部分, 其性能表现直接影响 ADC 的性能。本文设计了一款带有迟滞功能的比较器, 应用于数字像元红外读出电路, 具有低噪声、低功耗的特点, 基于 0.18  $\mu\text{m}$  CMOS 工艺进行设计, 通过仿真验证, 与设计目标相比具有较好的符合度。

**关键词:** 数字像元; 红外读出电路; 低功耗; 迟滞比较器

中图分类号: TN215; TN491 文献标识码: A DOI: 10.3969/j.issn.1001-5078.2025.03.009

## Comparator design of digital pixel infrared readout circuits

LI Xiao-fei<sup>1,2</sup>, YUAN Yuan<sup>1</sup>, YU Song-lin<sup>1,2</sup>

(1. North China Research Institute of Electro-Optics, Beijing 100015, China;

2. National Key Laboratory of Infrared Detection (Beijing Research Center), Beijing 100015, China)

**Abstract:** Infrared detectors often need to accumulate more infrared signals by extending the integration time, which can make the integration capacitor of the traditional analogue domain readout circuit saturate prematurely, and digital pixel readout circuits can effectively solve this problem. Currently, pulse frequency modulation-based A/D conversion structure is widely used in pixel-level ADC solutions. As an important component of pulse frequency modulation-based A/D conversion units, the performance of comparators directly affects the performance of ADCs. In this paper, a comparator with hysteresis function is designed for digital pixel infrared readout circuits with low noise and low power consumption. The design is based on 0.18  $\mu\text{m}$  CMOS process, and verified by simulation to have a good degree of conformity compared with the design objectives.

**Keywords:** digital pixel; infrared readout circuit; low power consumption; hysteresis comparator

### 1 引言

红外探测是一种利用探测目标与背景物体辐射强度不同进行对比, 从而能够被动式、非接触地识别出目标的检测与识别技术。像素级数字化技术因其能满足高灵敏度探测器延长积分时间的需求, 成为目前红外探测的重要研究方向。脉冲频率调制型

(Pulse Frequency Modulation, PFM) A/D 转换结构因其结构简单, 能够释放更多的像素面积, 被广泛应用于像素级数字化结构。噪声影响是数字像元重要的指标, 这会直接影响到电路的信噪比, 从而影响其灵敏度。对于大阵列规模的红外焦平面像素级数字化读出电路而言, 功耗也是十分重要的关注点, 低功耗

的设计能很大程度上缓解制冷的需求,有利于提高整个探测器组件的综合性能。

### 2 像素级数字化电路 A/D 转换结构

红外读出电路数字化是指读出电路对含有红外辐射信息的模拟信号进行模数转换,最终直接输出数字信号至后端成像电路<sup>[1]</sup>。数字化读出电路的总体结构分为芯片级、列级和像素级三种。与芯片级 ADC 和列级 ADC 结构相比,像素级 ADC 的每个像素中含有一个独立的 A/D 结构,如图 1 所示<sup>[2]</sup>。

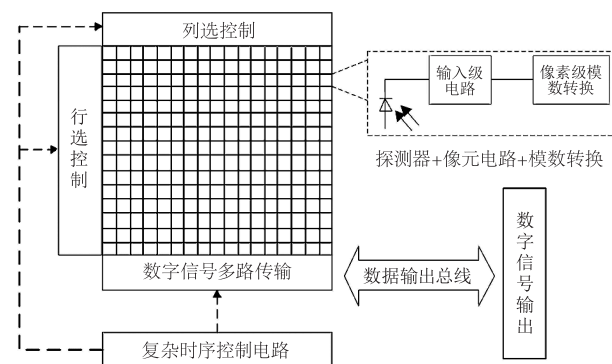


图 1 像素级 ADC 读出电路结构

Fig. 1 Pixel-level ADC readout circuit structure

像素级数字化读出电路中模拟信号在像元内处理后便可直接转换为数字格式,从像素单元到输出端口的全部传输路径中,信号都工作在数字域,能够最大程度地避免传输过程中可能遇到的噪声干扰或者非线性现象,避免了模拟量在其他 A/D 转换结构中的存在的传输损耗问题,具有更强的抗干扰性。

像素级 A/D 转换结构有很多种,快闪型 (Flash)、流水型 (Pipeline)、逐次逼近型 (Successive Approximation Register, SAR) 等<sup>[3-4]</sup>。由于数字化红外焦平面读出电路的像素级 A/D 转换结构对像元面积、功耗等性能都有很高的要求,所以目前国内外相关设计多采用的主要架构有单斜坡型 ADC (Single Slope)、过采样型 ADC (Sigma Delta,  $\Sigma - \Delta$ )<sup>[5]</sup> 和脉冲频率调制型 PFM<sup>[6-7]</sup>。

脉冲频率调制型 ADC 结构读出电路采用数字积分技术,能够在像元内直接进行光电流的数字化工作,所以整体电路架构与传统读出电路存在较大

的不同,能够节省出较多的像元面积。像素级单元中,电荷计数式 ADC 有电荷复位和电压复位两种复位方法<sup>[8]</sup>。

电压复位型 ADC 的原理如图 2,虽然是基于比较器的转换结构,电路简单,版图面积小,但是这种设计对比较器的反应时间、反馈复位充电的时间有要求,这些时间会影响转换器的线性性能。

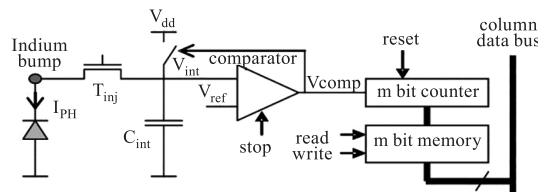


图 2 电压复位型 ADC 原理图

Fig. 2 Voltage reset type ADC schematic

电荷复位型 ADC 原理如图 3,相较于电压复位法最大的不同是对积分电容的复位充电不是直接把积分电容接到高电平上,而是通过一组电荷注入晶体管来实现电荷注入,这种设计对比较器的反应速度没有要求,A/D 转换线性度高。且相较于电压复位法,电荷复位中比较器的翻转速度要求较低,功耗相对更低。

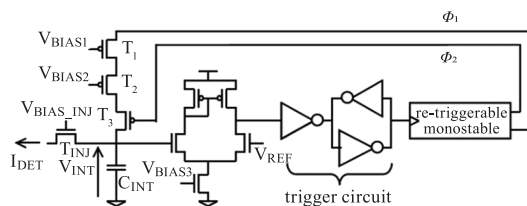


图 3 电荷复位型 ADC 原理框图

Fig. 3 Charge reset type ADC schematic

比较器是整个 ADC 的核心单元,其功耗占 A/D 功耗的主要部分,噪声对 A/D 的精度有影响。针对大面阵的读出电路而言,低噪声、低功耗的设计是十分重要的,这会影响到最终探测器的性能表现。

### 3 脉冲调制型 ADC 比较器设计

噪声作为判定电路性能的一项重要指标,在设计时需要重点考虑。读出电路的噪声通常需要将几个噪声源的影响综合考虑来获得总噪声,在噪声源不相关的情况下可以直接利用叠加原理,因此  $N$  次计数带来的总噪声的叠加公式可以表示为<sup>[9]</sup>:

$$n_{e-total} = \sqrt{\left(\frac{C_{int} V_{ref}}{q} + \frac{kTC_{int}}{q^2} + \frac{E_{pa-white}^2}{q^2 R_d^2} \frac{t_{int}}{2N_{count}} + \frac{8kTC_{int}^2 N_{count}}{3q^2 g_m t_{int}}\right)N + \left(i_r \alpha_{\frac{1}{f}}^2 + \frac{e_{1Hz}^2}{R_d^2}\right) \frac{t^2}{q^2} \ln \frac{t_{samp}}{t_{int}} + \frac{Q_{LSB}^2}{12q^2}} \quad (1)$$

其中,  $\frac{C_{int} V_{ref}}{q}$  代表散粒噪声;  $\frac{kTC_{int}}{q^2}$  代表复位噪声;

$\frac{e^2_{pa-white}}{q^2 R_d^2} \cdot \frac{t_{int}}{2N_{count}}$  代表前置电路白噪声; 比较器的白

噪声可简单视为热噪声模型  $\frac{8kT C_{int}^2 N_{count}}{3 q^2 g_m t_{int}}$ , 其中,

$g_m$  表示电路的等效跨导;  $\left( i_r^2 \alpha^2 \frac{1}{f} + \frac{e^2_{1Hz}}{R_d^2} \right) \frac{t^2}{q^2} \ln \frac{t_{samp}}{t_{int}}$

代表  $1/f$  噪声;  $\frac{Q^2_{LSB}}{12 q^2}$  代表量化噪声。除  $1/f$  噪声与

量化噪声是固定大小外, 其余噪声与比较器的翻转次数  $N$  成正比。由此可见, 比较器的翻转噪声在总噪声中也占重要部分, 对比较器的降噪设计也是十分重要的。

### 3.1 低噪声比较器设计

比较器是整个 A/D 转换结构中的核心单元, 其噪声会对整个 A/D 的精度产生直接影响。由于信号传输过程中会存在噪声的干扰, 且一般的快速比较器对噪声的响应比较敏感, 导致在比较器的输出端也存在噪声, 如图 4(a) 所示。

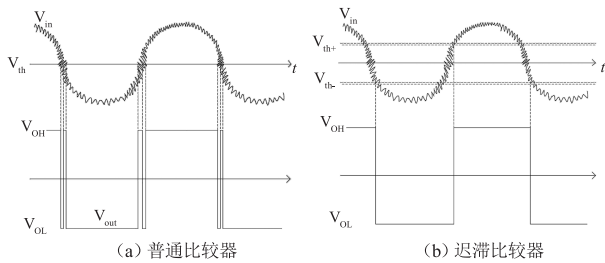


图 4 比较器对含噪声输入信号的响应

Fig. 4 The response of the comparator to a noisy input signal

迟滞比较器是一种能够对噪声有明显抑制效果的比较器结构, 如图 4(b) 所示, 其工作阈值是与输入和输出有关的函数, 当输入电平穿过输入的参考阈值电压时, 工作阈值电压会发生变化, 这样能保证输入信号即使受到噪声的污染也能在比较器的输出端产生正常的比较信号, 不会将输入信号的噪声部分传出<sup>[10]</sup>。

利用外部正反馈的迟滞比较器如图 5 所示, 虽然结构设计相对简单, 但是由于结构中有大电阻的存在, 不利于集成, 并且功耗也相对较高。因此本文基于以上限制, 设计出利用内部正反馈的低功耗迟滞比较器, 实现低功耗的像素级 A/D 转换结构。

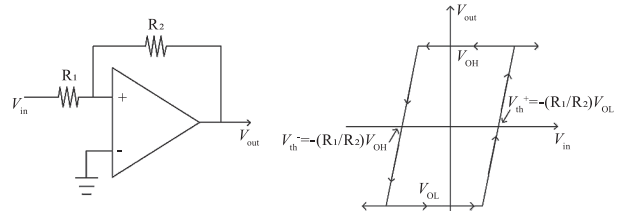


图 5 基于外部正反馈的迟滞比较器

Fig. 5 Hysteresis comparator based on external positive feedback

本文基于数字像素单元尺寸受限, 设计出利用内部正反馈的迟滞比较器, 从而节省更多像元面积。图 6 为本文设计的迟滞比较器结构图。

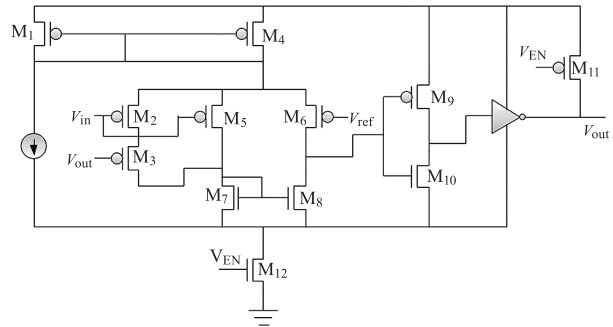


图 6 内部反馈的迟滞比较器

Fig. 6 Hysteresis comparator based on internal feedback

迟滞比较器是通过输出电压对内部电流的反馈来获得迟滞电压, 当比较器的输入电压  $V_{in}$  高于阈值电压  $V_{ref}$  时,  $V_{out}$  输出为高电平, 这时 PMOS 开关  $M_3$  处于关闭状态, 输入信号产生的电流从  $M_5$  漏级流出, 通过镜像后与  $M_8$  的漏极电流相等。随着输入的电压  $V_{in}$  的逐渐降低, 输入管  $M_5$  漏级电流逐渐增加, 镜像后  $M_8$  的漏极电流也随之增加, 使得其大于参考电压输入管  $M_6$  的漏级电流, 经过两级传输后,  $V_{out}$  输出由高电平转变为低电平, 此时的输入电压  $V_{in}$  等于参考电压  $V_{ref}$ 。进一步降低输入电压  $V_{in}$ , 使其小于参考电压  $V_{ref}$ 。由于此时  $V_{out}$  输出为低电平, PMOS 开关  $M_3$  处于开启状态, 输入信号产生的电流分别从  $M_2$ 、 $M_5$  的源级流出, 此时  $M_8$  的漏极电流为  $M_2$ 、 $M_5$  的源级电流之和。

综上分析, 当输入电压  $V_{in}$  由高到低变化且在电压值等于参考电压  $V_{ref}$  时, PMOS 开关  $M_3$  处于关闭状态, 此时,  $M_7$  的漏断电流:

$$I_{D7} = \frac{1}{2} \mu_p C_{ox} \frac{W_5}{L_5} (V_{in} - V_S - V_{THp}) \quad (2)$$

$M_8$  的漏断电流:

$$I_{D8} = \frac{1}{2} \mu_p C_{ox} \frac{W_6}{L_6} (V_{ref} - V_S - V_{THp}) \quad (3)$$

由(2),(3)可得:

$$V_{IN} = V_{ref} + \sqrt{\frac{2I_{D7}}{\mu_p C_{ox}}} \left(1/\frac{W_6}{L_6} - 1/\frac{W_5}{L_5}\right) \quad (4)$$

则比较器在翻转临界时,低位的迟滞变化值:

$$V_{RL} = \sqrt{\frac{2I_{D7}}{\mu_p C_{ox}}} \left(1/\frac{W_6}{L_6} - 1/\frac{W_5}{L_5}\right) \quad (5)$$

其中,  $1/\frac{W_6}{L_6} - 1/\frac{W_5}{L_5}$  为负值。

当输入电压  $V_{in}$  由低到高变化且在电压值等于参考电压  $V_{ref}$  时, PMOS 开关  $M_3$  处于打开状态, 此时,  $M_7$  的漏断电流:

$$I_{D7} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W_2}{L_2} + \frac{W_5}{L_5}\right) (V_{IN} - V_S - V_{THp}) \quad (6)$$

$M_8$  的漏断电流:

$$I_{D8} = \frac{1}{2} \mu_p C_{ox} \frac{W_6}{L_6} (V_{ref} - V_S - V_{THp}) \quad (7)$$

由(6),(7)可得:

$$V_{IN} = V_{ref} + \sqrt{\frac{2I_{D7}}{\mu_p C_{ox}}} \left(1/\frac{W_6}{L_6} - 1/\left(\frac{W_2}{L_2} + \frac{W_5}{L_5}\right)\right) \quad (8)$$

则比较器在翻转临界时,高位的迟滞变化值:

$$V_{RH} = \sqrt{\frac{2I_{D7}}{\mu_p C_{ox}}} \left(1/\frac{W_6}{L_6} - 1/\left(\frac{W_2}{L_2} + \frac{W_5}{L_5}\right)\right) \quad (9)$$

其中,  $1/\frac{W_6}{L_6} - 1/\left(\frac{W_2}{L_2} + \frac{W_5}{L_5}\right)$  为正值。

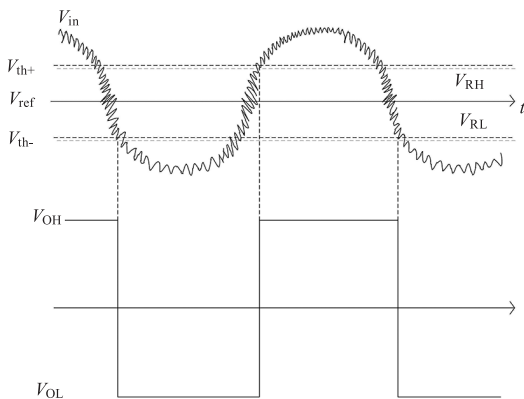


图7 迟滞比较器波形示意图

Fig.7 Hysteresis comparator response waveform diagram

如图7所示,  $V_{RH}$  和  $V_{RL}$  分别为比较器输出发生翻转时,比较器上升阈值及下降阈值与实际输入参考电压  $V_{ref}$  的差值。

### 3.2 低功耗迟滞比较器设计

比较器的功耗占 A/D 功耗的主要部分,应用于大面阵红外探测器的低功耗比较器设计,能够很大程度上缓解后续制冷机的要求,从而提升整个探测器组件的性能。基于这样的要求,设计出如图8所示的低功耗迟滞比较器。通过第二级放大电路中 PMOS 偏置管  $M_9$  降低比较器工作时电路中的电流,从而控制输入信号穿过阈值电压造成比较器翻转时产生的功耗。

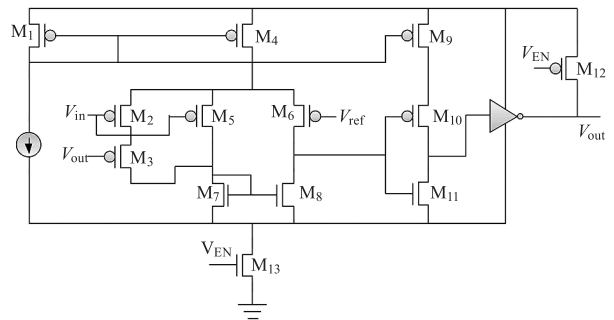


图8 内部反馈的低功耗迟滞比较器

Fig.8 Hysteresis comparator based on low power consumption internal feedback

$$I_{D9} = \frac{1}{2} \mu_p C_{ox} \frac{W_9}{L_9} (V_{bias} - V_{DD} - V_{THp}) \quad (10)$$

偏置控制管  $M_9$  的栅极电压  $V_{bias}$ , 能够通过调整  $W_9/L_9$  的值来实现控制。由于  $V_{DD}$  及  $V_{THp}$  是固定值, 通过增加  $V_{bias}$  能够降低  $M_9$  管的漏极电流, 从而降低整个比较器电路的电流, 最终实现对功耗的降低。

电路整体可以看成是一个带迟滞反馈的开环放大器连续时间比较器, 其中核心放大结构为第一级典型的差分对与差转单电流镜负载的放大器与第二级反向放大器组成的两级放大电路。  $M_{12}$  与  $M_{13}$  组成使能控制管, 作为比较器的控制开关, 用来与全局控制结合, 通过设定积分时间来控制打开和关断。通过第二级放大电路中 PMOS 偏置管  $M_9$  降低比较器工作时电路中的电流, 从而控制输入信号穿过阈值电压造成比较器翻转时产生的功耗。设计角度考虑, 第二级放大器 MOS 管的尺寸要严格控制, 以减少输入电容, 加快电压摆率; 输出缓冲级由普通的反相器来实现, 能够承接足够的容性负载而不影响比较器的速度, 同时对输出波形进行整形, 其管子的尺寸尽量要小, 以减轻前一级的负载、提高电压摆率。

### 4 仿真结果分析

整体像素级单元应用于制冷型红外焦平面阵列,工作在  $-196\text{ }^{\circ}\text{C}$  的环境中。本文设计的比较器电路使用  $0.18\text{ }\mu\text{m}$ ,  $1.8\text{ V}$  的 CMOS 工艺,参考电压  $V_{\text{ref}} = 700.0\text{ mV}$ ,对其进行仿真分析。

迟滞比较器的直流传输曲线仿真结果如图 9 所示,两个电压转折点分别为  $684.0\text{ mV}$  和  $756.0\text{ mV}$ ,迟滞窗口约为  $36.0\text{ mV}$ ,具有明显的迟滞效果。

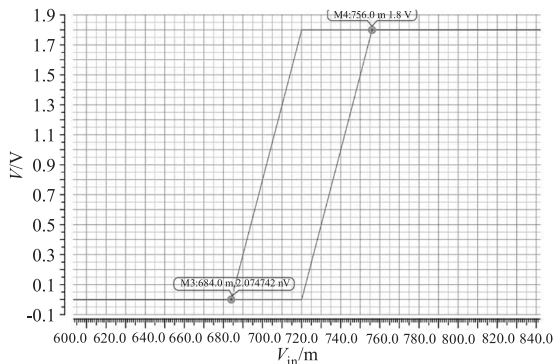


图 9 直流传输曲线图

Fig. 9 DC transfer curve diagram

比较器的核心是两级放大器,对其进行交流仿真可以得到增益的幅频响应特性曲线,如图 10 所示。图中可以看到,在低频区的增益为  $70.7\text{ dB}$ ,即能达到 3500 倍增益,能够满足比较器正常工作要求。

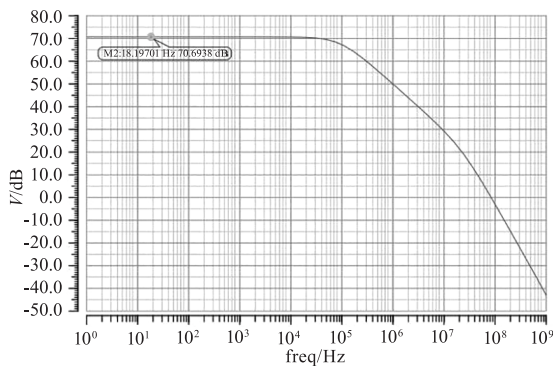


图 10 迟滞比较器的放大增益

Fig. 10 Amplification gain of the hysteresis comparator

图 11 是在  $-196\text{ }^{\circ}\text{C}$  的工作条件下,对比较器输入激励,其输出响应的时间仿真。通常认为比较器的输入信号  $V_{\text{in}}$  的一半与输出信号  $V_{\text{out}}$  的一半之间的时间延迟为比较器的传输时延,在信号上升阶段,由  $\frac{V_{\text{in}}}{2}$  到  $\frac{V_{\text{out}}}{2}$  为比较器的上升传输时延;在信号下降阶段,由  $\frac{V_{\text{out}}}{2}$  到  $\frac{V_{\text{in}}}{2}$  为比较器的下降传输时延。分析

可以看出,本文设计的比较器上升时延为  $0.535\text{ ns}$ ,下降时延为  $2.494\text{ ns}$ ,响应速度比较高。

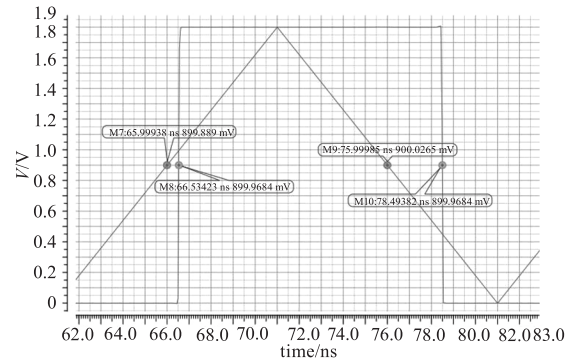
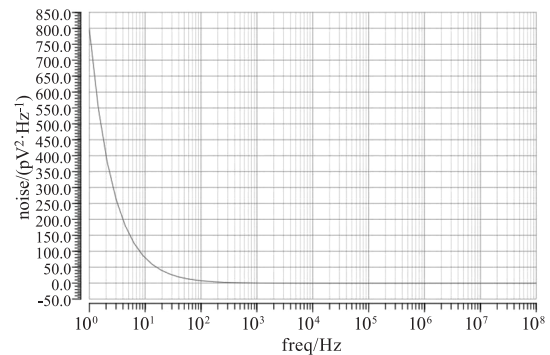


图 11 迟滞比较器的传输时延

Fig. 11 Propagation delay of the hysteresis comparator

图 12 为比较器的噪声特性及主要贡献度图,图(a)中可以看到,低频时的噪声较大,这是因为低频时闪烁噪声较大,高频时闪烁噪声可以忽略不计。图(b)噪声主要贡献度分析中可以看到,作为电流镜负载的 M7、M8 两个 NMOS 管贡献了 90% 的闪烁噪声。由于低功耗的设计,电路热噪声整体较低,M7、M8 两个负载管仅贡献电路中不到 1.2% 的热噪声。



Device	Param	Noise Contribution	% Of Total
/I7/NM1	fn	1.78417e-09	45.32
/I7/NM0	fn	1.76151e-09	44.75
/I7/PM5	fn	1.61693e-10	4.11
/I7/PM1	fn	1.61634e-10	4.11
/I7/NM1	id	2.31715e-11	0.59
/I7/NM0	id	2.29274e-11	0.58

图 12 输出节点噪声仿真图

Fig. 12 Output node noise simulation diagram

表 1 为两组迟滞比较器的在翻转频率  $50\text{ MHz}$  工作条件下的功耗对比。分析可以得到,普通迟滞比较器功耗为  $10.35\text{ }\mu\text{W}$ ,而加入偏置管控制电流设计的低功耗比较器能够将功耗将至  $3.98\text{ }\mu\text{W}$ ,应用于大面阵红外焦平面读出电路时能够明显降低整体功耗,满足低功耗的设计要求。

表1 两组迟滞比较器功耗对比

Tabl. 1 Comparison of power consumption between two groups of hysteresis comparators

比较器类型	普通迟滞比较器	低功耗迟滞比较器
电流/ $\mu\text{A}$	5.75	2.2
电压/V	1.8	1.8
功耗/ $\mu\text{W}$	10.35	3.98

## 5 总 结

本文设计了一种应用于像素级数字化红外焦平面读出电路的迟滞比较器,通过内部反馈实现迟滞电压设计,有效降低噪声,设计的比较器阈值电压可调,能够通过改变相关 MOS 管的宽长比进行控制;同时通过对第二级放大器增加偏置电流控制管,能够有效降低功耗。对所设计的低功耗迟滞比较器在  $-196\text{ }^{\circ}\text{C}$  的工作温度下仿真,其性能能够满足设计要求,实现了一种高性能像素级 A/D 转换结构。

## 参考文献:

- [1] Li Guodong. Research on key technologies of pixel level digitization for infrared readout integrated circuit [D]. Chengdu: School of Optoelectronic Science and Engineering, 2022. (in Chinese)  
李国栋. 红外读出电路像素级数字化关键技术研究 [D]. 成都: 电子科技大学, 2022.
- [2] Bai Piji, Yao Libin. Readout integrated circuit for third-generation infrared focal plane detector [J]. Infrared Technology, 2015, 37(2): 89-96. (in Chinese)  
白丕绩, 姚立斌. 第三代红外焦平面探测器读出电路 [J]. 红外技术, 2015, 37(2): 89-96.
- [3] Shiwen Ji. Research and design of high speed pipelined SAR ADC [D]. Tianjin: Tianjin University of Technology, 2022. (in Chinese)
- [4] Wang Faxiang, Zhou Qikun. Design of low-power successive approximation analog-to-digital converter [J]. China Integrated Circuit, 2022, 31(8): 63-68. (in Chinese)  
王法翔, 周圻坤. 低功耗逐次逼近型模数转换器的设计 [J]. 中国集成电路, 2022, 31(8): 63-68.
- [5] Qi Zhihui. Research on the key technology of 18-bit and low-power-consumption Sigma-Delta ADC [D]. Hangzhou: Zhejiang University, 2022. (in Chinese)  
齐志辉. 18 位低功耗  $\Sigma-\Delta$  ADC 关键技术研究 [D]. 杭州: 浙江大学, 2022.
- [6] Liu Chuanming, Yao Libin. Study on digital readout circuit for infrared FPA detectors [J]. Infrared Technology, 2012, 34(3): 125-133. (in Chinese)  
刘传明, 姚立斌. 红外焦平面探测器数字读出电路研究 [J]. 红外技术, 2012, 34(3): 125-133.
- [7] Arnaud Peizerat, Amélie Martin, Michael Tchagaspian, et al. Auto-adaptative LSB technique for in-pixel analog to digital conversion [J]. Proc. of SPIE in IS & T Electronic Imaging, 2008, 6816: 68160S-1-68160S-11
- [8] Peizerat A, Arques M, Villard P, et al. Pixel-level A/D conversion: comparison of two charge packets counting techniques [C] // 2007 International Image Sensor Workshop, 2007, 9: 200-203.
- [9] Qiu Tianhui. A design of high DR pixel-level digital infrared readout circuit [D]. Nanjing: Southeast University, 2021. (in Chinese)  
裘天慧. 一种高动态范围像素级数字化红外读出电路的设计 [D]. 南京: 东南大学, 2021.
- [10] Phillip E. Allen, Douglas R. Holberg, et al. CMOS Analog circuit design [M]. Oxford: Oxford University Press, 2011.