

适用于 APD 阵列的 TDC 电路研究进展

余越^{1,2}, 王静¹, 喻松林^{1,2}

(1. 华北光电技术研究所, 北京 100015; 2. 红外探测全国重点实验室(北京研究中心), 北京 100015)

摘要: 基于 APD 阵列的探测系统非常适合超高灵敏度、超高速探测, 在主被动成像、激光雷达、医学检测、波前探测、光纤通信等领域应用广泛, 时间数字转换器 (Time to Digital Converter, TDC) 是其中的核心电路, 完成对光子飞行时间 (Time of Flight, ToF) 的高精度量化, 对 TDC 电路的研究具有非常重要的军事和民用价值。本文首先介绍了 TDC 电路的原理与最简单的直接计数型结构, 然后按三种典型结构分别综述了国内外适用于 APD 阵列的 TDC 电路的发展历程和最新成果, 其中主要介绍了相位插值型 TDC, 最后比较了三种典型结构的特点, 并总结了未来研究趋势。

关键词: 雪崩光电二极管; 时间数字转换器; 光子飞行时间; 距离探测

中图分类号: TN364; TP73 **文献标识码:** A **DOI:** 10.3969/j.issn.1001-5078.2025.04.002

Advances in TDC circuit applicable to APD arrays

YU Yue^{1,2}, WANG Jing¹, YU Song-lin^{1,2}

(1. North China Research Institute of Electro-Optics, Beijing 100015, China;

2. National Key Laboratory of Infrared Detection (Beijing Research Center), Beijing 100015, China)

Abstract: The detection system based on Avalanche Photodiode (APD) arrays is highly suited for ultra-high sensitivity and ultra-high speed applications, and is widely used in active and passive imaging, LiDAR, medical detection, wavefront detection, optical fiber communication and other fields. The time to Digital Converter (TDC) is one of the core circuits, which completes the Time of Flight (ToF) quantification of the photons with high accuracy. In this paper, the principle of TDC circuit and the simplest direct counting structure are introduced at first, and then the development history and latest achievements of domestic and international TDC circuits applicable to APD arrays are viewed according to the three typical structures, of which the phase-interpolated TDCs are mainly introduced. Finally, the characteristics of three typical structures are compared, and the future research trends are summarized.

Keywords: avalanche photodiode; time to digital converter; time of flight; range detection

1 引言

雪崩光电二极管 (Avalanche Photodiode, APD) 是一种利用载流子雪崩倍增效应来提高检测灵敏度的光检测二极管, 具有结构紧凑、灵敏度高、动态范围大、响应速度快的特点, 因此, APD 探测器非常适合超高灵敏度、超高速探测, 在主被动成像、激光雷

达、医学检测、波前探测、光纤通信等领域应用广泛。随着高级驾驶辅助系统和自动驾驶技术的快速发展, 新能源汽车普及率不断提升, 基于 APD 探测器的激光雷达逐渐走入人们的视野, 其工作原理是向目标发射激光脉冲, APD 阵列接收并处理反射回来的信号, 经读出电路记录、存储、输出光子飞行时间

(Time of Flight, ToF), 从而实现距离探测。时间数字转换器 (Time to Digital Converter, TDC) 正是此系统中测量时间间隔的核心组件, 它通过将激光发射信号和回波信号之间的时间差转换为数字码值, 经按照激光飞行特性计算激光飞行距离, 从而实现目标物体距离的精确测量。随着应用需求的不断拓展, APD 阵列规模不断扩大, 检测精度不断提升, 对 TDC 阵列电路的性能要求日益提高。

2 TDC 的原理与电路结构

2.1 TDC 电路的原理和基本结构

TDC 是一种将时间间隔转换为数字信号的电路, 根据实现载体的不同, 可以分为基于 FPGA 实现和基于 ASIC 实现。ASIC 属于专用型器件, 以牺牲灵活性和延长开发时间为代价, 实现比 FPGA 更高的集成度和资源利用率, 尤其是对于适用于 APD 阵列的 TDC 电路, 考虑到分辨率、量程、速度、面积及功耗等因素的折衷, 通常使用 ASIC 来设计。

最简单的 TDC 结构是直接计数型, 如图 1 所示。在发射激光的同时, 同步产生 START 信号, 开始对时钟信号进行计数, STOP 信号到来时停止计数, 测得 $T_{\text{tof}} = T_1 + T_2 - T_3$, 其中 $T_1 = M \times T_{\text{clk0}}$, M 为计数器的计数值, 而 $T_2 - T_3$ 属于不能量化的部分。该方法结构简单, 转换速度快, 如需拓展量程, 在面积允许的范围内, 需要尽可能增加计数器位数。计时分辨率为时钟周期, 增加时钟频率, 便能达到更高的分辨率, 但高频时钟会带来高功耗和时钟抖动等问题, 使误差变大影响精度。因此, 直接计数型 TDC 往往会和模拟型、相位插值型或游标延迟型 TDC 相结合, 兼顾计时分辨率和量程。

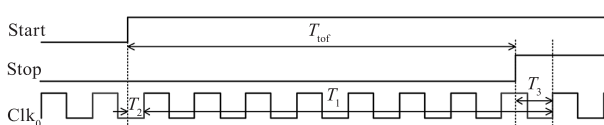


图 1 直接计数型 TDC 时序图

Fig. 1 Timing diagram of counter TDC

2.2 三种典型的 TDC 电路

2.2.1 模拟型 TDC

模拟型 TDC 本质上是时间幅度转换器 TAC + 模拟数字转换器 ADC, 在待测时间间隔内, 通过控制高速开关, 对电容进行充电, 得到斜坡电压信号, 其电压值随时间线性增长, 最终由 ADC 将其转换为数字信号输出。文献 [1] 设计了一个全集成的 16

通道时间幅度转换阵列, 计时分辨率小于 27 ps, 计时量程在 12.5 ~ 100 ns 范围内可调, DNL 小于 0.2% LSB, 功耗恒定小于 30 mW^[1]。文献 [2] 报道了一款仅 12 个 NMOS 管的采样保持时间幅度转换器电路, 如图 2 所示, 电路结构简单, 像素间距仅为 9.8 μm , 并且没有静态功耗, 可以得到 93 ps 的计时分辨率和 80 ns 的计时范围^[2]。

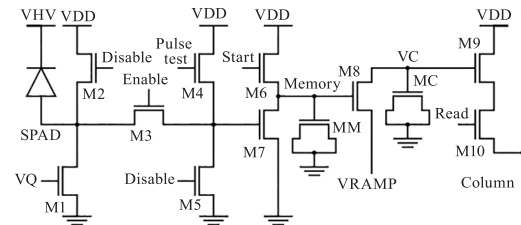


图 2 基于 SPAD 的由 12 个 NMOS 管组成的像元内 TAC 原理图

Fig. 2 The circuit schematic of the SPAD-based 12T

NMOS-only TAC pixel

为了改善幅度转换型 TDC 动态范围不足的缺点, 可以与数字型 TDC 相结合。2018 年, 电子科技大学刘增鑫基于 0.18 μm CMOS 工艺, 设计了一款计数器辅助的时间幅度转换型 TDC 电路, 如图 3 所示, 利用电流对电容充放电产生周期为 150 ns 的三角波, 经过比较器接入计数器, 作为高位统计三角波个数, 三角波电压每经过 500 ps 变化 5 mV, 作为低位输出。在各个工艺角下仿真得到计时分辨率 500 ps, 计时量程 10 μs , DNL 为 -1 ~ +1 LSB^[3]。2021 年, 西安电子科技大学肖天佑, 采用的结构与前文类似, 设计了更加精细的基于电容充放电的三角波发生器电路, 仿真得到计时分辨率 100 ps, 计时量程 15 μs ^[4]。

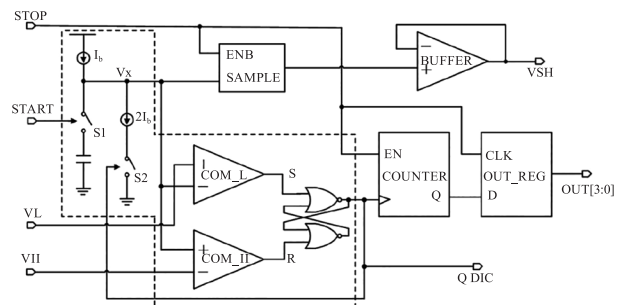


图 3 计数器辅助的时间幅度转换型 TDC 原理图

Fig. 3 Schematic of a counter-assisted time-to-amplitude converter

由于模拟电路容易受到噪声、电压和温度的影响, 难以实现高精度的测量, 并且电路的非线性会累积, 在大量程测量时, 这一缺点更为突出。随着工艺尺寸的不断缩小, 电源电压的降低和器件的二阶效

应使模拟电路设计更为困难,数字型 TDC 越来越流行。

2.2.2 相位插值型 TDC

相位插值型 TDC 通常采用延迟线或环振结构, START 信号在一组具有相同延时时间的延迟单元中逐级延迟传输, STOP 信号对延迟后的一组 START 信号采样,得到温度计码,经译码后得到时间间隔。计时分辨率为延迟单元的延迟,计时量程为延迟链的总延迟差。通常会配合直接计数型 TDC,使总延迟差等于时钟周期,让时钟信号在延迟链中逐级延迟,在直接计数型的基础上将时间间隔进一步细分,从而提高计时分辨率。

2.2.2.1 延迟线型

天津大学赵佳姮采用 SMIC 0.18 μm 工艺,设计了一款适用于阵列像素的读出电路。其中高段 TDC 采用 14 bit 双边沿触发 LFSR,计数频率为 250 MHz,低段 TDC 采用十级延迟链结构,每个延迟单元延时为 200 ps 左右,结束时得到时钟相位对应的 10 bit 温度计编码,译码得到 4 bit 低段数据。后仿真得到 TDC 功耗为 0.72 mW,时间分辨率为 200 ps,计时量程为 32 μs ,像素版图面积小于 $50 \times 95 \mu\text{m}^2$ 。此外,在该方案的基础上做了进一步的优化,采用上升沿触发的 C^2MOS 结构 DFF 来构成时间比较器和并转串模块,二选一多路选择器由静态结构改为动态结构,达到了更小的电路面积^[5-6]。

为了克服延迟单元的延时受 PVT 的影响,可以采用压控延迟链,由延迟锁相环电路 DLL 输出控制电压。2018 年,西南技术物理研究所李潇等人研制了线性模式 InGaAs/InP APD 阵列,规模为 64×64 ,并设计了与之配套的读出电路。其中 TDC 电路采用直接计数型 + 压控延迟链结构,由锁相环电路 PLL 倍频得到 125 MHz 高段计数时钟,低段为 DLL 控制的压控延迟链,实现了 1 ns 的时间分辨,对应距离分辨率为 0.15 m,8 μs 的计时量程,对应最大测距距离为 1200 m。在微雨天气条件下,对 1000 m 处城市目标进行成像实验,测试结果如图 4 所示^[7]。2020 年,华东光电集成器件研究所的白涛,在此基础上,将高位计数型 TDC 增加了 1 bit,如图 5 所示,并采用低压差线性稳压源 (LDO) 对每个模块单独供电,使 32×32 阵列电路功耗降低了 65%,计时分

辨率保持不变,量程翻倍^[8]。

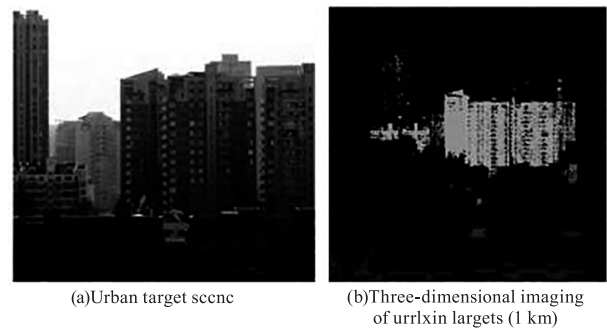


图 4 1 km 左右城市目标 3D 图像

Fig. 4 3D imaging of urban target (1 km)

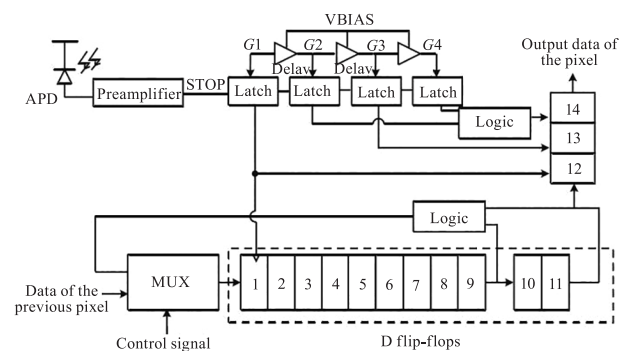


图 5 像元级 TDC 电路

Fig. 5 TDC circuit of pixel

意大利米兰理工大学的 Davide Portaluppi 等人也对阵列 ROIC 的分辨率以及功耗改进进行了相关研究,为了减少压控延迟链的面积占用、电路复杂性和总体功耗,采用上升沿和下降沿共同细分时钟周期,这样可以减少一半的电路数量,功耗大大降低,但也对时钟相位占空比有了更严格的要求。为简化说明,以 4 个时钟相位和 8 个时钟间隔为例说明,如图 6 所示,在彩色框内参考沿由上升沿切换为下降沿,很容易引入误差,为了确保到达像素的多相时钟信号具有精确的 50% 占空比,在时钟网络中引入可调的阈值驱动器,通过码密度测试相应的调整阈值,从而细微移动每一个时钟的上升沿和下降沿,来补偿电压下降和不匹配。同时,在时钟总线两侧各加一条虚拟时钟线,使得每一条时钟线受到相邻时钟线的串扰相同。最终基于 0.18 μm 高压 CMOS 工艺,设计了规模为 32×32 、间距为 100 μm 的阵列 ROIC,如图 7 所示。TDC 数据通过像素内的粗计数器与 STOP 插值器和一个像素外全局 START 插值器获得,插值器由快速锁存器构成,在 START 和 STOP 信号上升沿采样由 DLL 生成的多相时钟的状

态,然后将温度计码转为 5 bit 二进制码,停止计数后粗计数器输出 7 bit 数据,可以实现 204.8 ns 范围内 50 ps 的时间分辨^[9]。

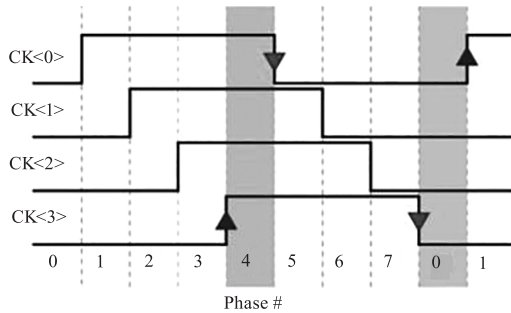


图 6 多相时钟间隔的简化表示

Fig. 6 Simplified representation of the multiphase clock intervals

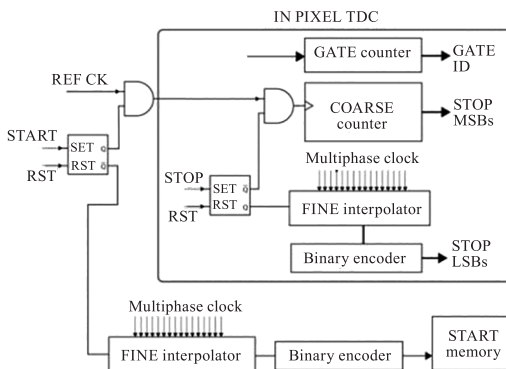


图 7 TDC 整体框图

Fig. 7 Block diagram of TDC

2.2.2.2 环振型

当阵列规模较小时,采用芯片系统级结构,整个阵列共用一个 TDC,有利于减小芯片面积,降低功耗。东南大学郑丽霞采用 CSMC 0.5 μm CMOS 工艺,为阵列规模为 2×8 的 InGaAs-APD 传感器,设计了对应的红外读出电路,其中 TDC 电路放置于阵列外全局共享,而数据存储传输电路放置于每个像素中。高段 TDC 采用 10 bit 伪随机码计数器 LFSR,低段 TDC 由 4 级环振电路构成,将每个时钟周期均分为 8 个相位,通过锁定 STOP 信号所处的相位,译码得到 3 bit 数据,而高段数据选择片外译码。在 160 MHz 时钟频率下,仿真得到时间分辨率 1 ns 以内,最大计时范围 6.4 μs 。由于时序控制电路受到 PVT 的影响,同时低段 TDC 的环振频率稳定性较差,流片后测试结果与理论值存在一定误差^[10]。

全阵列共享型 TDC 要将数据锁存在各个像素中,随着阵列的扩大,传输线连接变得十分复杂,

因此不再适用。可以采用高段独享低段共享的局部共享的方式,将高段计数器放置于各像素内,低段压控环振放置于像素外,有利于减少大量数据线之间的串扰,提升精度。东南大学吴金采用这种结构,基于 TSMC 0.35 μm CMOS 工艺,设计了阵列规模为 32×32 的 TDC 电路,其中高段为 9 bit 伪随机计数器,低段为四级压控环振,为了避免延迟失配造成的误差,低段 4 bit 数据直接锁存,停止计数后,通过选择器开关控制,在高速时钟的驱动下,逐像素串行输出 13 bit 数据。实验室单独测试 ROIC,由外部 FPGA 提供模拟光子反射回探测器的 STOP 信号,测试结果表明,环振频率稳定在 170 MHz,系统的时间分辨率小于 1 ns,最大测距距离为 450 m,微分非线性为 $-0.37 \sim +0.49$ LSB,积分非线性为 $-2.10 \sim +0.53$ LSB。外场测试时,将 ROIC 和探测器阵列混合封装,由光子反射触发 STOP 信号,采用先发射激光脉冲后开始计数的方式,对距离 800 m 左右的目标进行测试,成像结果如图 8 所示^[11]。

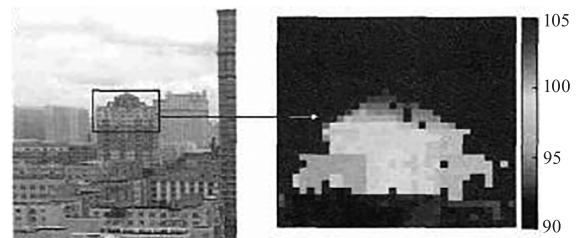


图 8 800 m 左右目标的轮廓成像

Fig. 8 Contour imaging result of a target around 800 m

若采用固定的直流电压控制环振,直流电压的纹波会影响输出时钟信号的频率稳定性,并且很容易受到温度和工艺漂移的影响。一种方法是引入补偿电路,实时调节控制电压,从而抵消 PVT 的影响。文献[12]通过周期性地测试一个已知的时差,并以量化的结果为依据采用一个电阻梯 DAC 来调节压控振荡器的供电电压。但是在校正的过程中,TDC 资源被占用,相当于进入了死区时间^[12]。另一种方法是采用 PLL 系统,由于是闭环架构,基于反馈机制实时调节控制电压,可以实现锁定频率的目的,在多相时钟频率稳定性和分相均匀性方面具有显著的优势。文献[13]设计的 ROIC 阵列,由于像素间距为 50 μm ,TDC 结构十分紧凑,采用直接计数与相位细分相结合的方式,由 PLL 提供高频计数时钟和分相时钟,最终系统计时

分辨率为 119 ps、计时量程为 100 ns、积分非线性与微分非线性分别为 ± 0.4 LSB 与 ± 1.2 LSB、系统功耗为 90 mW^[13]。

为了降低电路功耗,东南大学朱志鹏引入了异步计数器,如图 9 所示,将两段式结构中的高段再分为两部分,实现 7 bit 高段 LFSR + 2 bit 异步计数器 + 低段相位分辨的伪三段式结构,PLL 倍频得到 250 MHz 时钟 HCK,经过异步计数器降频至 62.5 MHz 驱动高段 LFSR,从而在量程分辨率不变的前提下,起到降低功耗的效果。另外优化了低段采样结构,减少低段误码,优化时序,降低由于计数时钟和数据传输时钟切换造成的计数误码和传输误码。最终测试得到 0.575 ns 的分辨率,DNL 与 INL 范围分别为 -0.57 LSB ~ 0.58 LSB 和 -0.9 LSB ~ 0.57 LSB,帧频为 20 kHz,芯片功耗约为 151.7 mW^[14]。2021 年,中科院上海技术物理研究

所的刘煦,采用相似的伪三段式结构设计了一款适用于 64×64 规模 InGaAsAPD 阵列的 TDC 电路,9 bit 高段 LFSR + 1 bit 异步计数器 + 低段分相结构如图 10 所示。由于面阵的扩大,使得 H 型全局时钟网络设计更为复杂,最终实现 0.5 ns 计时分辨,功耗为 380.5 mW^[15-16]。

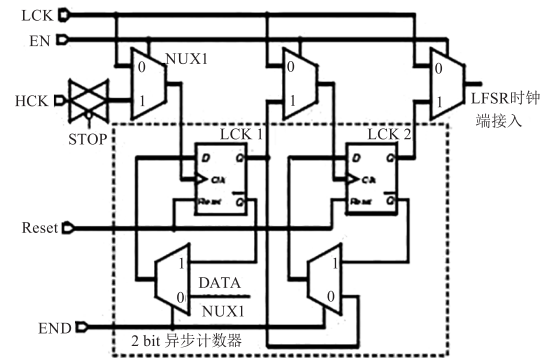


图 9 2 bit 异步计数器

Fig. 9 2 bit asynchronous counter

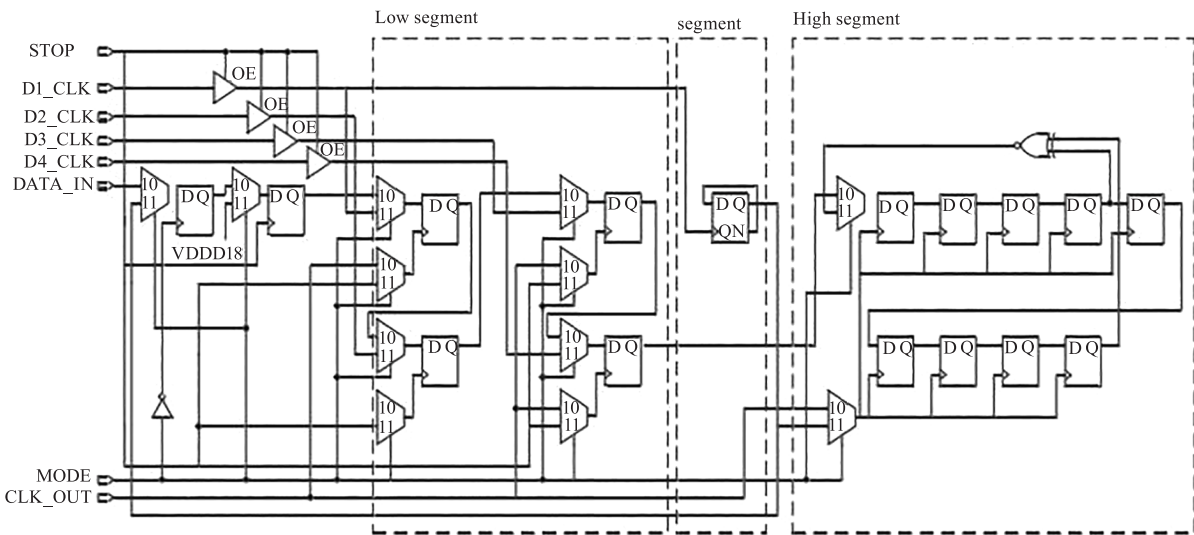


图 10 三段式时间数字转换器原理图

Fig. 10 Three-stage time-to-digital converter

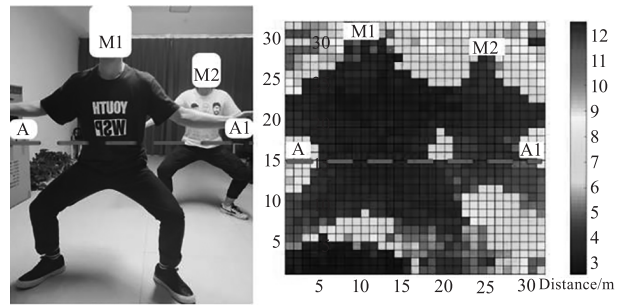
当面阵过大时,PLL 传输到像素中的高频时钟走线会十分复杂,路径过长也会导致噪声和功耗增加,可以在像素内放置一个与 PLL 中结构相同的门控环振,通过传输压控电压走线,多相时钟在像素内部产生,避免多相高频时钟线之间的串扰。西安电子科技大学的胡进采用这种结构设计了一款 dToF 激光雷达,像素中心间距 $60 \mu\text{m}$ 。像素内压控环形振荡器的末端连接一个 10 bit 计数器,作为高段记录整数振荡周期,通过对环振内部状态编码,实现 3 bit 低段相位分辨。噪声滤除电路除了用来滤除背景噪声并产生可靠的 STOP 信号,其中

的计数器还可以被复用做记录 3 bit 强度信息。系统最大子帧率为 270 kfps,将 9 k 个子帧结合起来做直方图统计,实现 30 fps 的帧率。测试得到 LSB 的平均值为 200.6 ps,标准差为 2.35 ps,DNL 为 $-0.29 \sim +0.24$ LSB,INL 为 $-2.53 \sim +1.02$ LSB。图 11(a)是室内 3D 成像测试结果,图 11(b)是 2D 强度成像测试结果。

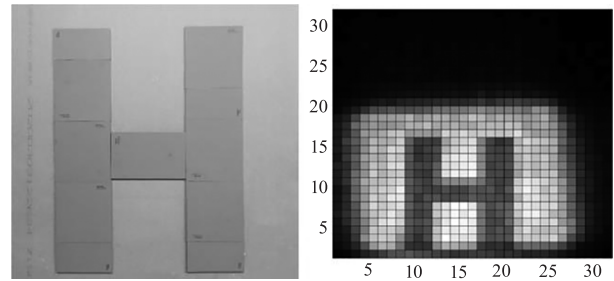
更进一步,优化压控振荡器的主环路,并额外增加了 4 对结构紧凑的内插器,如图 12 所示,在不增加环振频率的前提下,增加了时钟分相数,使分辨率达到 50 ps。采用带有可编程分频器的锁相

环,将控制电压传输到各像素内,实现全局校准环振频率,避免了由环振频率受温度和电压变化而引起的误差,并且可以实现 TDC 时间分辨率的可调性^[17]。

门控环振还可以根据门控信号,控制环振的启动与停止,实现多种工作模式。意大利 FBK 实验室采用 0.15 μm CMOS 工艺,将 ROIC 规模扩展至 64×64 ,像素间距 60 μm ,每个像素内包含一个 16 bit TDC 和一个强度计数器,使得该传感器能同时提供飞行时间和强度信息。如图 13 所示系统具有两种工作模式,短距离 3D 成像时,4 GHz 高速环振驱动 7 bit 低段计数器,40 MHz 低速时钟驱动 8 bit 高段计数器,可在 367 m 范围内实现 3.75 cm 距离分辨,精度小于 0.2 m。长距离单点测距时,环振不启动,15 bit 计数器工作在 100 MHz 频率下,可在 5862 m 范围内实现 3 m 距离分辨,精度小于 0.5 m^[18]。



(a)室内3D成像测试



(b)2D强度成像测试

图 11 测试结果

Fig. 11 Test results

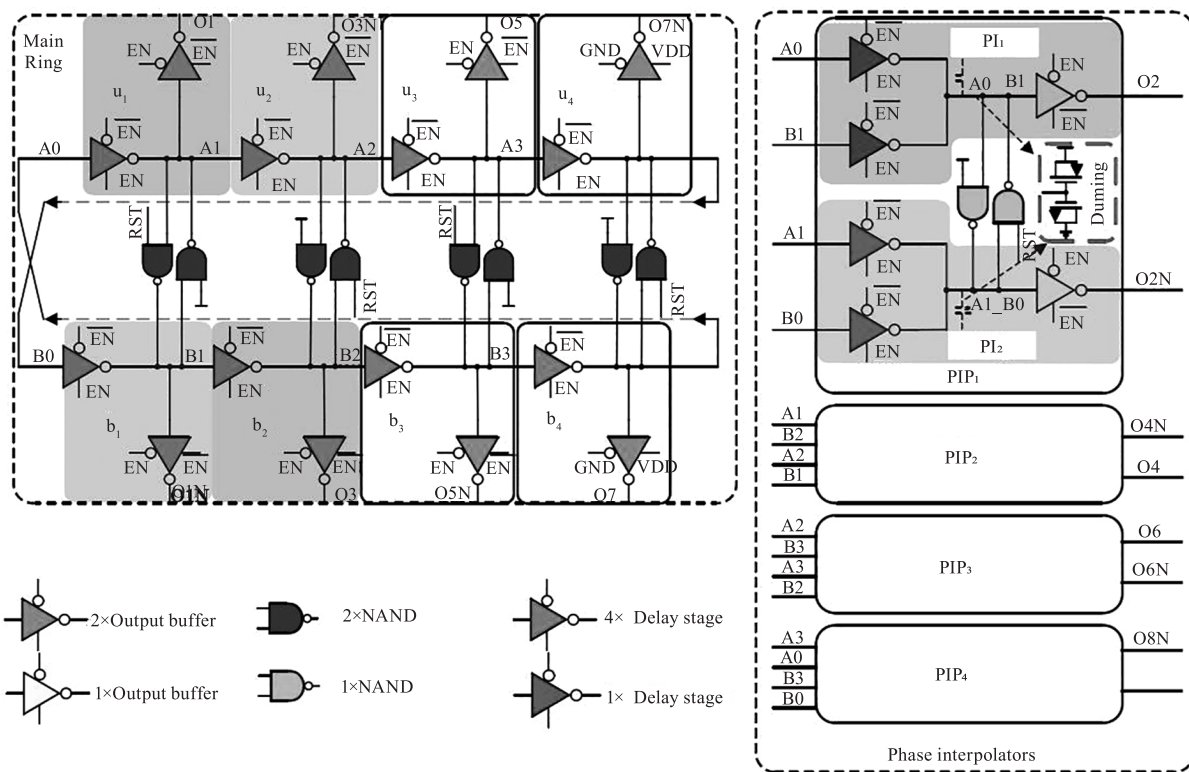


图 12 具有 4 对 PI 内插器的 VCRO 结构图

Fig. 12 Architecture of VCRO with PIs

环形振荡器分为单端环振、差分环振和伪差分环振,差分环振对时钟的分相均匀性、对共模噪声干扰的抑制等方面具有更优的性能,而伪差分环振具有这些优点之外,还能减小热噪声引起的抖动,并且

静态功耗为零。西班牙塞维利亚大学提出了一种用于像素内 TDC 的伪差分 VCRO 的建模、设计与测试,并基于 0.18 μm 标准 CMOS 工艺,作为锁相环和像素级 TDC 的组成部分,结合 64×64 阵列 d-ToF

图像传感器得到了实际流片验证^[19]。

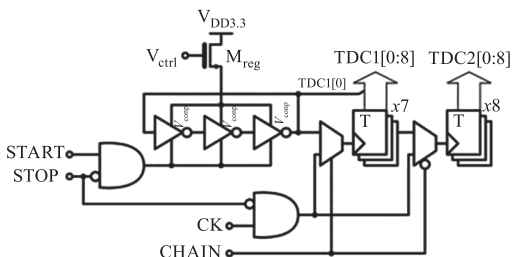


图 13 双工作模式环振型 TDC 原理图

Fig. 13 Schematic of the dual mode TDC (ring-oscillator-based)

2.2.3 游标延迟型 TDC

延迟单元的极限延迟,被工艺限制在反相器延迟级别。游标延迟型 TDC 突破了这种限制,采用两条具有不同延迟时间的延迟链, START 信号和 STOP 信号分别在两条链中逐级延迟,类似于 STOP 信号追赶 START 信号,记录追赶上对应的位置,实现对时间的分辨。计时分辨率为两个延迟单元的延迟差,理论上可以做到特别小,实现极高精度的测量。但是在实际使用时,比起单延迟链,消耗的面积和功耗翻倍,受到 PVT、噪声、失配的影响也更大,会使误差过大影响精度。另一方面,由于 STOP 信号需要延时追赶,无法即时响应,因此更适合放在像素阵列外共享,不受面积限制实现高精度检测。

2008 年,瑞士洛桑联邦工学院的研究团队基于 0.35 μm CMOS 工艺设计了规模为 128 × 128 的 ROIC 阵列,32 个 TDC 放置于 APD 阵列旁,每 4 × 128 个 APD 探测器共用一个 TDC,其中 TDC 采用三段式结构,高段为 2 bit 直接计数型,中段为 4 bit 压控延迟线,低段为 4 bit 游标延迟线,DLL 将时钟频率锁定在 40 MHz,在 100 ns 的动态范围内实现了 97 ps 的时间分辨率,|DNL| < 0.08 LSB,|INL| < 1.89 LSB,由于采用了资源共享和事件驱动机制,系统功耗极低,对 3.75 m 处的物体成像所需的功耗仅为 1 mW^[20]。

2021 年,中科院上海技术物理研究所的章琪文,基于 CSMC 0.5 μm 2P3M 工艺,设计了一款游标型 TDC,读出电路整体框图如图 14 所示。控制电路将时间间隔分为整周期和不满一个周期的两部分,采用 6 bit 高段同步计数器量化整周期时间间隔,6 bit 游标延迟链型量化不满一周期的时间间隔,通过高速比较器判断是否停止计时,用电荷泵锁相环将时钟频率倍频至 120 MHz,两条延迟链偏压分别为 1 V 和 4 V,仿真得到 136.8 ps 的时间精度。电路

流片后,在工作温度 77 K 和 300 K 下测试,计时分辨率分别为 236.28 ps 和 297.47 ps,RMS 值分别为 3.1149 ps 和 3.1035 ps。系统的 DNL 分别为 -0.54 ~ +0.71 LSB,INL 为 -1.32 ~ +1.21 LSB^[21]。由于存在延迟链控制电压的抖动、锁相环倍频时钟的抖动、延迟链过长带来的失配、版图设计带来的信号串扰等等因素,仿真和测试存在较大的差异^[22]。

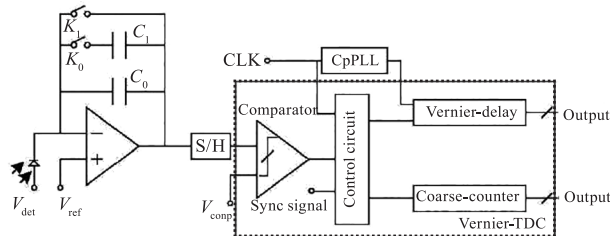


图 14 游标延迟型 TDC 整体框图

Fig. 14 Diagram of vernier delay line TDC

3 三种典型 TDC 电路的特点比较和主要参数

从表 1 可以看出,阵列 TDC 电路早期采用过共享型结构,即 TDC 放置于像素阵列外,一行/列像素共享或全像素共享,由于不受面积的限制,能做到很高的精度,在功耗方面存在绝对的优势。但是随着阵列的不断扩大,阵列总线的长度与负载迅速增加,引入较大的延时误差,各像素均匀性也难以保证,逐渐开始采用像素级结构。

为了兼顾计时分辨率与量程,阵列式 TDC 电路通常采用两段式结构,高段采用直接计数型来拓展量程,低段采用模拟型、相位插值型或游标延迟型来满足高分辨率。模拟型低段输出的是模拟电压,还需要片外接 ADC 转换,量化精度受 ADC 分辨率的制约,其中存在两次转换的过程,需要的转换时间较长,产生误差较大,而且模拟方法对环境温度十分敏感,因此多采用全数字的方法设计 TDC。而游标延迟型虽然能突破门级延迟的限制,达到极高的计时分辨率,但是存在误差提取过程,转换耗时较大,无法即时响应,双链结构受噪声和失配的影响更大,占用过大的面积与功耗,不适合放在大面阵像素内,通常置于阵列外共享,用作单/多通道高精度 TDC。因此,低段多使用相位插值型 TDC,通过表 1 也不难看出,使用插值和环振结构的论文占比最大。

高段直接计数型通常采用 LFSR 计数器,可以引入异步计数器降频,在位数不变的情况下降低功耗。还可以根据不同的探测情况改变计时模式,假

设 TDC 仅在门控 EN 信号内工作,且该门控信号决定最大可测量程,当目标较近且有效像素占比较多的情况下,采用 EN 信号上升沿触发计时,STOP 信

号停止计时,功耗更低;而当目标较远且有效像素占比较少的情况下,采用 STOP 信号触发计时,EN 信号下降沿停止计时,功耗更低。

表 1 适用于 APD 阵列的 TDC 总结

Tab. 1 Summary of TDC for APD arrays

年份	结构	ToF 测量	工艺/nm	大小	间距/ μm	分辨率/ps	量程/ns	DNL/LSB	INL/LSB
2005 ^[23]	/	片外	800	32 × 32	58	120	25	/	/
2007 ^[24]	TAC	像素内	800	64 × 1	38	50	/	/	/
2008 ^[20]	三阶插值	列共用	350	128 × 128	25	70	100	±0.25	±0.1
2009 ^[25]	门控环振	像素内	130	32 × 32	50	160	55	±1.4	±0.4
2009 ^[26]	TAC	像素内	130	32 × 32	50	160	20	0.7	1.9
2011 ^[27]	二阶插值	列共用	180	340 × 96	50	208	420	0.52	0.73
2011 ^[28]	门控环振	像素内	130	160 × 128	50	55	55	±0.3	±0.2
2014 ^[29]	二阶插值	像素内	350	32 × 32	150	312	320	±0.06	±0.22
2014 ^[30]	三阶插值	像素内	350	16 × 1	250	10	160	0.015	-3
2014 ^[31]	门控环振	像素内	180	64 × 64	64	145	296	±1	±1.7
2014 ^[32]	门控环振	像素内	130	192 × 480	570	64.56	261.59	0.28	3.9
2017 ^[19]	门控环振	像素内	180	64 × 64	64	147	297	0.55	3
2021 ^[15]	二阶插值	像素内	180	64 × 64	100	500	4080	±0.4	±0.6
2022 ^[17]	门控环振	像素内	180	32 × 32	60	50	102.4	0.48	2.18

低段多相时钟插值信号可以通过延迟线和环形振荡器得到,为了消除 PVT 的影响,可以采用压控延迟线或压控环振,通过控制电压来动态调整延迟时间或振荡频率。还可以通过引入 PLL 电路,同时倍频得到高段计数时钟和低段分相时钟,而且基于闭环架构的反馈机制,实时追踪参考时钟信号,得到更稳定的时钟和更均匀的分相。由于 PLL 模块占用面积过大,通常置于像素阵列外,利用时钟网络将多路时钟传输至各像素,为避免长距离走线引起的串扰和噪声,可以在像素内放置和 PLL 模块中结构一致的 VCO,将多根时钟线改为单根电压线,从而得到极佳的分相均匀性,但会增加单像素的面积与功耗。

4 结 论

随着集成电路技术的发展和半导体制造工艺的提高,APD 探测器技术朝着超大规模阵列、小像素间距、超低功耗、多功能集成等方向发展,这就要求设计与之配套的高性能 TDC 电路,在片上集成更多功能,同时满足分辨率、量程、线性度、面积和功耗的要求。借鉴成熟的 ADC 设计结构,为满足高频 AD-PLL 的发展需要,发展出 SAR TDC、Pipeline TDC、 $\Delta\Sigma$ TDC 和 Stochastic TDC 等许多结构,分别在量化

噪声整形、抗 PVT 变化设计和皮秒甚至飞秒级高分辨率等方面具有突出的优势,但要运用在阵列式 TDC 中,仍需要不断研究创新。目前,随着国内众多高等院校和科研机构的研究不断深入,已经取得了许多成果,希望总结国外先进技术的经验,不断创新,逐步缩小差距,更好地运用于工业发展、国防军事、民事应用等方面。

参考文献:

- [1] Acconcia G, Crotti M, Antonioli S, et al. High performance time-to-amplitude converter array [R]. IEEE Nordic-Mediterranean Workshop on Time-to-Digital Converters, 2013: 1-5.
- [2] Parmesan L, Dutton N, Calder N. et al. A 9.8 μm sample and hold time to amplitude converter CMOS SPAD pixel [C]//IEEE Solid State Device Research, European, 2014: 290-293.
- [3] Liu Zengxin. Research and design of a pixel-level time-to-digital converter [D]. Chengdu: University of Electronic Science and Technology of China, 2018. (in Chinese) 刘曾鑫. 一种像素级时间数字转换器的研究与设计 [D]. 成都: 电子科技大学, 2018.

- [4] Xiao Tianyou. Design of a new GM-APD array readout circuit[D]. Xi'an: Xidian University, 2021. (in Chinese)
肖天佑. 新型 GM-APD 阵列读出电路的设计[D]. 西安: 西安电子科技大学, 2021.
- [5] Zhao Jiaheng. The research on key technology of readout circuit based on single-photon APD array detector[D]. Tianjin: Tianjin University, 2016. (in Chinese)
赵佳姮. 单光子 APD 阵列探测器读出电路的关键技术研究[D]. 天津: 天津大学, 2016.
- [6] Zhao Jiaheng, Zhao Yiqiang, Ye Mao, et al. High precision pixel readout circuit design for GM-APD array[J]. Infrared and Laser Engineering, 2017, 46(1): 106007. (in Chinese)
赵佳姮, 赵毅强, 叶茂, 等. GM-APD 阵列高精度像素读出电路设计[J]. 红外与激光工程, 2017, 46(1): 106007.
- [7] Li Xiao, Shi Zhu, Dai Qian, et al. 64×64 InGaAs/InP 3D imaging laser focal plane detector[J]. Infrared and Laser Engineering, 2018, 47(8): 806004. (in Chinese)
李潇, 石柱, 代千, 等. 64×64 InGaAs/InP 三维成像激光焦平面探测器[J]. 红外与激光工程, 2018, 47(8): 806004.
- [8] Bai Tao, Chen Yuanjin, Dai Fang, et al. ROIC of ladar based on large array InGaAs linear APD[J]. Infrared and Laser Engineering, 2020, 49(8): 20190529. (in Chinese)
白涛, 陈远金, 戴放, 等. 大面阵 InGaAs 基线性 APD 单片激光雷达读出电路[J]. 红外与激光工程, 2020, 49(8): 20190529.
- [9] Portaluppi D, Conca E, Villa F. 32×32 CMOS SPAD imager for gated-imaging, photon-timing and photon-coincidence[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2017, 24(2): 1-6.
- [10] Zheng Lixia, Yang Junhao, Wu Jin, et al. Design and Implementation of Gm-APD array readout IC[J]. Microelectronics, 2014, 44(1): 51-54, 58. (in Chinese)
郑丽霞, 杨俊浩, 吴金, 等. 一种 Gm-APD 阵列型读出电路的设计与实现[J]. 微电子学, 2014, 44(1): 51-54, 58.
- [11] Wu Jin, Yu Xiangrong, Shi Shufang, et al. Infrared ranging technology by using single photon APD array readout integrated circuit[J]. Infrared and Laser Engineering, 2017, 46(6): 604002. (in Chinese)
吴金, 俞向荣, 史书芳, 等. 采用 APD 单光子阵列读出集成电路的红外测距技术[J]. 红外与激光工程, 2017, 46(6): 604002.
- [12] Erdogan A T, Walker R, Finlayson N, et al. A CMOS SPAD line sensor with per-pixel histogramming TDC for time-resolved multispectral imaging[J]. IEEE Journal of Solid-State Circuits, 2019, 54(6): 1705-1719.
- [13] Gersbach M, Maruyama Y, Trimananda R, et al. A time-resolved low-noise single-photon image sensor fabricated in deep-submicron CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2012, 47(6): 1394-1407.
- [14] Zhu Zhipeng. Design of array readout circuit based on PLL-TDC[D]. Nanjing: Southeast University, 2019. (in Chinese)
朱志鹏. PLL-TDC 式阵列读出电路设计[D]. 南京: 东南大学, 2019.
- [15] Liu Xu, Li Yunduo, Ye Lianhua, et al. Pixel-level high resolution and low error rate time-to-digital converter circuit of single photon detection InGaAs avalanche focal plane array[J]. Infrared and Laser Engineering, 2021, 50(11): 20210009. (in Chinese)
刘煦, 李云铎, 叶联华, 等. 单光子探测 InGaAs 雪崩焦平面像素级高分辨率低误码时间数字转换电路[J]. 红外与激光工程, 2021, 50(11): 20210009.
- [16] Liu Xu. Research on high-precision time-to-digital conversion circuit for GM single photon detector[D]. Shanghai: Shanghai Institute of Technical Physics Chinese Academy of Sciences, University of Chinese Academy of Sciences, 2021. (in Chinese)
刘煦. GM 单光子探测器用高精度时间数字转换电路研究[D]. 上海: 中国科学院大学, 中国科学院上海技术物理研究所, 2021.
- [17] Hu Jin. Research on key technology of high-precision fully integrated laser radar sensor Chip[D]. Xi'an: Xidian University, 2021. (in Chinese)
胡进. 高精度全集成激光雷达传感器芯片关键技术研究[D]. 西安: 西安电子科技大学, 2021.
- [18] Perenzoni M, Perenzoni D, Stoppa D. A 64×64 pixels digital silicon photomultiplier direct TOF sensor with 100 MP hotons/s/pixel background rejection and imaging/altimeter mode with 0.14% precision up to 6 km for spacecraft navigation and landing[J]. IEEE Journal of Solid-State Circuits, 2017, 52(1): 151-160.
- [19] Vornicu I, Carmona-galan R, Rodriguez-vazquez A. Arrayable voltage-controlled ringoscillator for direct time-of-flight image sensors[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(11): 2821-2834.
- [20] Niclass C, Favi C, Kluter T, et al. A 128×128 single-photon

- ton image sensor with column-level 10 bit time-to-digital converter array[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(12): 2977 – 2989.
- [21] Zhang Qiwen, ChwnHonglei, Ding Ruijun. High precision time-to-digital conversion circuit for mercury cadmium telluride APD detector at 77 K[J]. *Journal of Infrared and Millimeter Waves*, 2022, 41(1): 362 – 369. (in Chinese)
章琪文, 陈洪雷, 丁瑞军. 77 K 下碲镉汞 APD 探测器的高精度时间数字转换电路[J]. *红外与毫米波学报*, 2022, 41(1): 362 – 369.
- [22] Zhang Qiwen. Research of high-resolution time stamp readout circuit for APD focal plane[D]. Shanghai: Shanghai Institute of Technical Physics Chinese Academy of Sciences, University of Chinese Academy of Sciences, 2021. (in Chinese)
章琪文. APD 焦平面的高精度时间标记读出电路研究[D]. 上海: 中国科学院大学, 中国科学院上海技术物理研究所, 2021.
- [23] Niclass C, Rochas A, Besse P, et al. Design and characterization of a CMOS 3-D image sensor based on single photon avalanche diodes[J]. *IEEE Journal of Solid State Circuits*, 2005, 40(9): 1847 – 1854.
- [24] Stoppa D, Pancheri L, Scandiuazzo M, et al. A CMOS 3-D imager based on single photon avalanche diode[J]. *Circuits and Systems I: Regular Papers*, *IEEE Transactions on*, 2007, 54(1): 4 – 12.
- [25] Richardson J, Walker R, Grant L, et al. A 32×32 50 ps resolution 10 bit time to digital converter array in 130 nm CMOS for time correlated imaging[C]//*Custom Integrated Circuits Conference*, San Jose; IEEE, 2009: 77 – 80.
- [26] Stoppa D, Borghetti F, Richardson J, et al. A 32×32 pixel array with in-pixel photon counting and arrival time measurement in the analog domain[C]//*2009 Proceeding of ESSCIRC*, Athens; IEEE, 2009: 204 – 207.
- [27] Niclass C, Soga M, Matsubara H, et al. A 100 m-range 10-frame/s 340×96 -pixel time-of-flight depth sensor in 0.18 μm CMOS [J]. *IEEE Journal of Solid State Circuits*, 2011, 48(2): 559 – 572.
- [28] Veerappan C, Richardson J, Walker R, et al. A 160×128 single-photon image sensor with on-pixel 55 ps 10 b time-to-digital converter[C]//*2011 IEEE International Solid-State Circuits Conference*. San Francisco; IEEE, 2011: 312 – 314.
- [29] Villa F, Lussana R, Bronzi D, et al. CMOS imager with 1024 SPADs and TDCs for single-photon timing and 3-D time-of-flight [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(6): 364 – 373.
- [30] Tamborini D, Markovic B, Villa F, et al. 16-channel module based on a monolithic array of single-photon detectors and 10 ps time-to-digital converters[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(6): 218 – 225.
- [31] Vornicu I, Carmona-Galan R, Rodriguez-Vazquez A. A CMOS 0.18 μm 64×64 single photon image sensor with in-pixel 11 b time-to-digital converter[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(6): 131 – 134.
- [32] Braga L H C, Gasparini L, Grant L, et al. A fully digital 8×16 SiPM array for PET applications with per-pixel TDCs and real-time energy output[J]. *IEEE Journal of Solid State Circuits*, 2014, 49(1): 301 – 314.