

## 激光信号采集的 FPGA 控制

李正东, 顾静良, 刘志强, 吴剑涛

(中国工程物理研究院应用电子学研究所, 四川 绵阳 621900)

**摘要:**针对激光信号采集的要求, 提供了一个典型的工作原理框图, 并对其中数据采集和传输中关键模块的设计作了详细的描述, 其中 D/A 转换模块负责在对激光信号探测前, 完成对探测器前置放大器的调零, A/D 采集模块负责对激光信号的数据采集和数据转换, 并通过串口将打包后的数据上传到上位机, 串口模块则负责接受来自上位机的指令和对采集信号数据的上传。实验结果表明: 能够正确接受上位机指令, 实现前置放大器的调零和对采集过程的控制, 并将这些数据通过以速度为 115200bit/s 的串口形式上传给上位机, 得到了 200f/s 的上传速度。

**关键词:**激光; A/D 采集; D/A 转换; FPGA; 串口

**中图分类号:** TN248.4      **文献标识码:** A

## Laser Signal Capture Control Based on FPGA

LI Zheng-dong, GU Jing-liang, LIU Zhi-qiang, WU Jian-tao

(Institution of Applied Electronics, CAEP, Mianyang 621900, China)

**Abstract:** In order to finish laser signal capture, a typical development system block diagram is provided. Its signal capture and data transfer subsystem is described in detail, some important modules design and state machine shift are presented. D/A module finishes pre-amplifier adjusting-zero before capturing laser signal. A/D module controls laser signal capturing-data timing, and send capture data packets to the computer by serial port. Serial port module is used to receive instruction from computer and sends data to computer. Experimental results indicate that this design can satisfy the system requirements of realizing pre-amplifier adjusting-zero, transfers data to computer by serial port at the speed of 115200bit/s, and accomplishes 200 frame data per second.

**Key words:** laser; A/D capture; D/A conversion; FPGA; RS232

### 1 引言

光信号的探测、采集和处理是国防、工业和航天等领域常常面临的一项技术, 选择何种电子器件实现对光信号快速、简单的采集是一项极其重要的内容。而 FPGA 是近年来发展极为迅速的 EDA 技术, 它以硬件设计简单、功能灵活、易于调试及硬件功能软件实现等特点在许多领域得到广泛应用, 尤其在时序逻辑的设计中, 更显得方便、实用。本文就 FPGA 在激光信号采集方面的一个应用做个介绍。

### 2 系统组成

激光信号采集系统是用来对远距离的微弱激光

信号进行探测、采集、传输和处理的系统, 它由四部分组成: 激光器、探测单元阵列、采集和传输部分以及上位机。其中激光器用来产生调制频率为 200Hz, 脉宽为 20 $\mu$ s 的激光信号; 探测单元阵列是由 9 个探测器单元组成“+”字形状的阵列, 它主要用来完成对激光信号的探测; 采集和传输部分是整个系统的核心部分, 其主要功能是接受上位机传输下来的指令, 依据指令或者控制数/模(D/A)转换

**作者简介:**李正东(1969-), 男, 工程师, 硕士, 主要从事电子技术方面的工作。E-mail: lizd0813@163.com

**收稿日期:**2007-08-15; **修订日期:**2007-10-19

模块完成对探测器前置放大器的调零,或者控制模/数(A/D)采集模块完成对激光信号的A/D采集,并将采集获得的数据经校验和打包后传输给上位机;上位机是整个系统的人机交互界面,它主要向采集和传输部分发送指令,或者接受采集和传输部分上传的数据,并将它们显示、存储等。系统的硬件框图如图1所示。

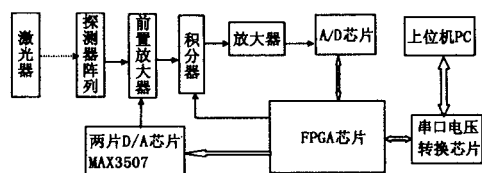


图1 激光信号采集系统

图1中的积分器采用的芯片是BB公司的IVC102,其中用九个积分芯片,完成对九个探测输出的微弱光信号的积分;A/D芯片采用的是ADI公司的7677,其采样精度为16bit,采样速率为1MSPS,其中用9片7677完成对9路光信号进行采集;D/A芯片采用的是MAXIUM公司的MAX3506,其D/A转换精度为12bit,每片芯片有9路模拟输出,通过串行方式的指令可以调节不同输出通道的输出电压。所以,系统中使用两片5306就可完成对9路前置放大器的调零;FPGA采用的则是ALTERA公司的EP1C144芯片,它是整个采集板卡的核心部件,它不仅完成对上位机指令的分析,而且控制采集系统中A/D和D/A的时序,并把最终采集到的数据通过串口发送到上位机。下面就系统中FPGA实现数据采集和传输模块的工作原理做一个详细的叙述。

### 3 数据采集和传输分系统的工作原理

采集和传输分系统主要包括串口模块、D/A转换模块和A/D采集模块三个部分。其工作原理如图2所示。系统上电后,启动A/D采集模块,在没有激光信号到来的情况下,A/D采集模块对背景光信号进行采集,并将采集的数据通过串口上传到上位机,正是由于背景光的影响,导致了在没有激光信号到达的情况下,上传数据也不为零,而D/A转换模块正是为消除背景光对采集数据的干扰而设计的。即系统在启动A/D采集模块后,紧接着启动D/A转换模块,D/A芯片输出的模拟电压作为探测器前置放大器的参考输入端,光(激光或背景光)信号作为放大器信号的输入端。在人机交互界面上,通过对D/A芯片各输出通道输出电压的调节,最终使各探测单元的前置放大器信号引脚和参考引脚的电平接近,从而使得在没有激光信号输入的情况下,

A/D采集并传输到上位机的信号数据逐渐接近为零,由此实现前置放大器的调零,这样就消除复杂背景对光信号采集的影响。而串口模块是采集系统和上位机的联系模块,它负责向下传输上位机指令,向上传输A/D采集的光信号数据。下面单独介绍三个模块的实现原理。

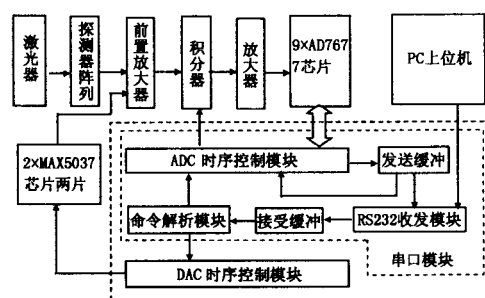


图2 基于FPGA信号采集系统框图

串口模块包括串口收发子模块、指令存储子模块。其中串口收发主要是用来接受上位机的指令,或将采集的数据通过串口发送到上位机;指令存储主要是存储来自上位机的指令,并判断指令是否有效,何时才能由A/D采集模块或D/A转换模块读取,从而避免指令存取的冲突。

D/A转换模块主要实现在数据采集前对光信号前置放大器的调零。系统上电后,它首先完成对两个D/A芯片的初始化,使其所有通道处于激活状态;工作过程中,当它接受到上位机下传的D/A指令后,根据指令要求设置芯片的片选有效信号,并将指令包中的通道信息和电压信息以串行方式输入到相应的芯片中,其调零结果是通过A/D采集并上传到上位机的数据来反映的。在上位机通过逐步调节D/A转换的电压设置,最终可得到调零的目的。

D/A采集模块是系统中较为复杂的一个模块,它主要控制采集时序和采集数据的传输。在信号采集前,本模块控制积分器的相关信号,具体包括积分复位、积分开始、积分时间长短、积分保持等;在采集信号时,通过对芯片相关信号的控制,对两片A/D芯片的不同模拟输入通道的数据进行轮询采集;当信号采集完成后,通过简单的计算,获得9路采集数据的校验码,然后分别在数据头部和尾部施加头标识和尾标识,打包后通过串口发送到上位机。

### 4 不同模块的FPGA设计

前面介绍了各个功能模块的作用,这里主要介绍各功能模块的时序控制。

#### 4.1 串口模块

串口模块的具体组成如图3所示,其中收发部

分按标准的串口协议以字节为单位进行数据的发送或接受,每当接受完一个字节的的数据后,它通过Recv信号发送一个脉冲通知指令存储模块,指令存储模块则根据既定的指令协议,判断其是否有效,若有效,则将其存储到指令缓冲中,并通知 A/D 或 D/A 模块指令有效。串口发送模块则配合 A/D 采集模块,把打包好的数据包,通过串口发送出去。其中 Busy 信号用来表示本字节数据是否发送完毕, Tctrl 信号则根据 Busy 信号决定是否更新发送缓冲区中的数据。

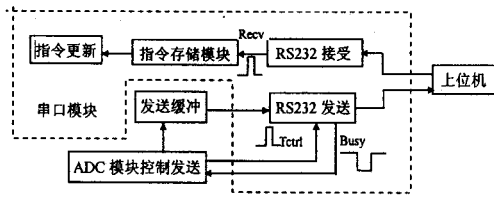


图3 串口模块框图

来自上位机的串口指令由 5 个字节组成,其具体的格式如图 4 所示:指令头标识为‘F’;指令尾标识为‘E’,实际指令为中间三个字节的的数据,指令的具体编码如表 1 所示。

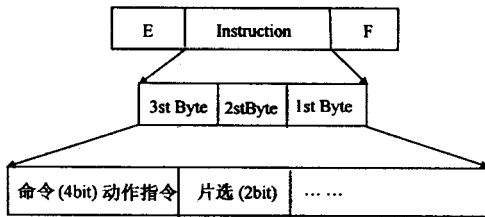


图4 串口指令格式图

表 1 串口指令编码(表中“X”表示未用)

第三字节						第二字节和第一字节			
23~20bit		19~18bit		17~16bit		15~12bit		11~0bit	
4bit		2bit		2bit		4bit		12bit	
数值	意义	数值	意义	数值	意义	数值	意义	数值	意义
0001	停止 A/D	X		X		X		X	
0011	启动 D/A	00	都片选	X		F	激活命令	FFF	所有通道选中
		00	都片选	X		F000 对所有通道清 0			
		01	选片 1	X		00~04	通道选择	000~3FF	输出电压设置
		10	选片 2	X		00~04	通道选择	000~3FF	输出电压设置
		11	都不选	X		X		X	

在工作中,串口模块只有接受到符合这个格式的指令包才称之为有效指令包,否则,作为无效指令包作丢弃处理,并重新进入串口指令接受状态,等待下次指令的接受。代码如下:

```

receser: process(rst,rxdtg)
variable count: integer range 0 to 7: =0;
begin
  if rst = '1' then
    cram (0) <= "00000000";
    cram (1) <= "00000000";
    cram (2) <= "00000000";
    serover <= '0';
    count: =0;
  elsif rxdtg'event and rxdtg = '1' then
    case count is
      when 0 = >
        if serD/Ata = "01010011" then
          serover <= '0';
          count: = count + 1;
        else
          count: =0;
          serover <= '1';
        end if;
      when 1 = > cram(count - 1) <= serD/Ata;
        count: = count + 1;
      when 2 = > cram(count - 1) <= serD/Ata;
        count: = count + 1;
      when 3 = > cram(count - 1) <= serD/Ata;
        count: = count + 1;
      when 4 = > if serD/Ata = "01010100" then
        serover <= '1';count: = 0;
      else
        serover <= '0';count: = 0;
      end if;
    end case;
  when others = > count: =0;serover <= '0';
  end if;
end process receser;

```

其中,rst 为系统复位信号;rxdtg 为串口收完一个字节后的触发信号;serdata 为来自串口的 8bit 数据;cram 为串口模块的指令存储器;count 为计数器;serover 用来表示指令存储器中的指令能否读取,若为高,表示 A/D 或 D/A 模块可以读取指令数据;若为低,表示串口指令存储器的数据正在进行更新,不能读取。

#### 4.2 D/AC 时序控制模块

为了减少了电路板的空间和芯片管脚的数量,降低了互联成本,D/A 转换模块采用了串口方式对

D/A 芯片进行控制,这时的控制指令代码为 16bit 的数据,它对应串口指令编码中指令部分的 bit15 - bit0。控制指令写入 D/AC 芯片的时序图如图 4 所示。即在片选信号 CS 有效的情况下,每次向芯片写入长度为 16bit 的指令,其中每个 bit 在时钟 CLK 的上升沿准备好数据,在时钟的下降沿将数据 D/Ata 写入芯片中。同时,在将指令写入芯片的过程中,要控制装载信号 Load,使其使能,将数据写入到 D/AC 芯片中。

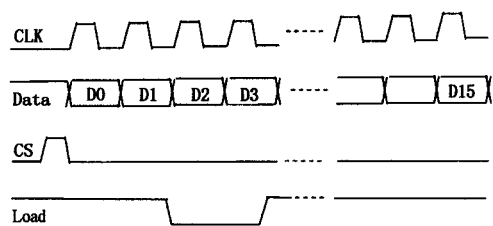


图6 D/AC 芯片控制指令写入时序图

相应的状态转移原理如下:系统复位后,首先进入 S0 状态,S0 状态在片选有效的基础上激活两片 D/AC 芯片的所有通道,只有通道激活后,通道才能接受输入的控制指令,随后进入 S1 状态;S1 状态用来等待是否有来自串口的指令,若有,则从指令存储器中读取三字节的上位机指令,并把这些指令存储到本地的指令存储器中,随之进入 S2 状态;S2 状态根据串口指令 (bit23 ~ bit20) 判断是否是 D/A 转换指令,如果是,则要判断需要片选那片 D/A 芯片 (bit19 ~ bit18),并将两字节 (bit15 ~ bit0) 的指令写入到一个数据寄存器中,随后进入系统的下一状态 S3;若不是 D/A 命令,则重新跳转回 S1 状态。在 S3 状态中将结合图 6 所示的时序图,将 16bit 的指令按高位在先、低位在后的顺序,配合 CLK 时钟及加载控制信号 Load 发送到 D/A 芯片后,进入 S4 状态。S4 状态使两片 D/AC 芯片片选信号失效,由此保持两片 D/AC 芯片模拟输出引脚的电压保持不变,同时返回 S1 状态。

#### 4.3 A/DC 时序控制模块

A/D 采集模块其实有两大功能:数据采集时序控制和数据传输。它涉及 A/D 芯片、积分芯片和串口发送等,其中数据采集的时序图如图 7 所示,具体原理如下:系统复位后,A/D 模块首先进入 S0 状态,在 S0 中初始化模块中用到的变量、信号和积分器和 A/D 芯片相关的控制信号,使模块处于采集的就绪状态,随后进入 S1 状态;S1 状态主要用来等待串口指令,并判断指令是否是停止 A/D 采集指令,

若是,返回 S0 状态,否则进入 S2 状态。S2 状态用来监测光脉冲发射的同步信号,如果检测到同步信号,则进入 S3 状态;在 S3 状态中,启动积分初始化信号,使积分器清零,同时设置积分时间,积分完毕后,使积分器输出信号保持,随后进入 S4 状态;S4 状态先使能 A/D 芯片的 Cnvst 控制信号,启动 A/D 转换,随后进入 S5 状态;S5 状态用来检测 A/D 的 Busy 信号,当此信号变为低电平后,表示 A/D 转换完毕,输出端口的数据有效,则可以进入 S6 状态进行数据的读取;在 S6 状态中,分别控制 A/D 的片选信号和读使能信号,读取并存储 16bit 数据到数据存储器中,随之进入 S7 状态;S7 状态用来判断 9 个探测单元的数据是否采集完毕,若没有采集完毕,则通道数加 1,并跳回到 S4 状态,启动另一路模拟视频的采集;否则,进入 S8 进行串口数据的发送。以上 8 个状态完成了数据的采集。

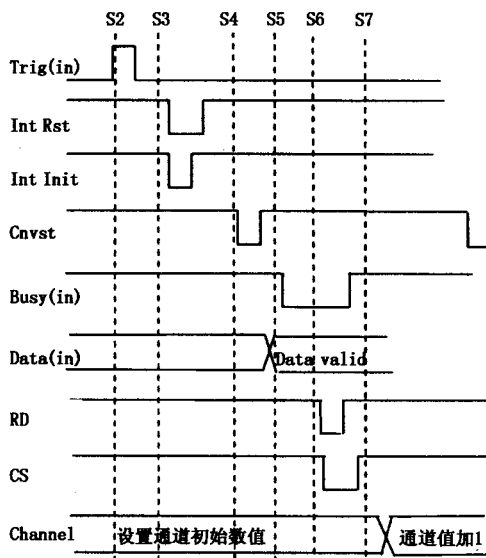


图7 A/DC 芯片、积分器控制时序图

当 9 路光信号采集完毕后,进入状态 S8 中,S8 主要利用获得的 9 路采集信号进行校验码的计算,为简单起见,系统对获得的 9 路信号进行相加,不考虑溢出位,最后获得的 16bit 数据就作为此次采集数据的校验码,随之进入 S9;S9 主要实现对数据的打包,即在数据前加头标识,数据尾加检验码和尾标识,信号数据放在中间,具体格式如图 8 所示。打包后进入 S10;S10 是一个状态转移跳转的判断,当发送计数器小于或等于 12 (12 个 16bit 的数据包括 1 个报头、9 路信号、1 个校验和 1 个报尾) 时,表示本次数据没有传输完毕,则发送计数器计数器加 1,状态跳转到后面的 S11 状态进行数据的发送;否则,

表示本次数据传输完毕,跳到后面的状态 S12;在 S12 中初始化必要的变量和信号,随后跳转到 S1 状态,继续下一次的采集和传输操作;而状态 S11 是数据的串口发送状态,因为要传的数据都是 16bit,而串口每次只传输一字节的数据,所以在 S11 中分别对数据高 8 位和数据低 8 位进行传送,当传输完数据高 8 位和数据低 8 位后,跳转到状态 S10。

报头	1st D/Ata	2st D/Ata	3st D/Ata	……	9st D/Ata	校验	报尾
2bytes	2bytes	2bytes	2bytes	……	2bytes	2bytes	2bytes

图 8 A/DC 数据包格式

要注意的是,本模块为了避免由于器件工作异常而引起的死循环,在等待 A/D 的 Busy 状态信号中,应设置一个超时计数器,当等待超时,就跳到 S0,重新下次数据的采集。

## 5 结论

针对脉冲激光信号的采集的要求,完成了基于 FPGA 的激光信号的采集和传输系统。实验表

明:本系统能够正确接受并识别来自上位机的控制指令,能够通过 D/A 转换模块正确实现前置放大器的调零,能够通过 A/D 采集模块来实现对采集过程的控制,并将这些数据通过以速度为 115200bit/s 的串口形式上传给上位机,得到了 200f/s 的上传速度。

## 参考文献:

- [1] 卢毅,赖杰. VHDL 与数字电路设计[M]. 北京:科学出版社,2002.
- [2] 黄继业,潘松. ED/A 技术和 VHDL[M]. 北京:清华大学出版社,2005.
- [3] Max5306/Max5307 D/Ata Sheet[M]. Maxium Company, 2001.
- [4] Inv102 D/Ata Sheet[M]. BB Company, 1996.
- [5] A/D7677 D/Ata Sheet[M]. A/DI Company, 1998.
- [6] 黄任. VHDL 入门、解惑、经典实例和经验总结[M]. 北京:北京航空航天大学出版社,2005.

## 深圳将举办光电显示周

为贯彻落实《信息产业部 广东省人民政府 深圳市人民政府关于推进国家信息产业自主创新示范城市战略合作框架协议》,推动深圳市国家信息产业自主创新示范城市的建设工作,充分发挥深圳市平板显示产业的集聚作用,促进我国平板显示产业的快速、健康发展,为国内外光电显示产业界、学术界、终端消费者以及各地政府提供一个互动交流合作平台。信息产业部电子信息产品管理司、广东省信息产业厅、深圳市科技和信息局将主办 2008 深圳光电显示周,时间为 2008 年 5 月 23~28 日,地点在深圳会展中心。

据悉,全球液晶电视每年需要 1 亿平方米的面板生产能力,现在的实际产能只能满足一半市场需求。市场研究机构 iSuppli 预测,中国内地的液晶电视市场在今后的 4 年里年平均增幅将达到 49%,中国内地的液晶电视出货量预计在 2010 年将增加到超过 2000 万台,市场规模将达到 128 亿美元。专家指出,2010 年以后,TFT-LCD 产业将进入内涵式发展阶段,即价值创造阶段,技术创新将扮演重要角色,与此同时,中国将成为全球平板显示产业的制造中心。

随着 2007 年京东方连续盈利,上海天马 4.5 代线建成投产,中华映管在深圳大尺寸模组厂投产,广东信利 2.5 代线、深圳莱宝 2.5 代线建设,奇美电子超大模组基地建立,TCL 在南海大尺寸模组的建线,LG 飞利浦液晶模组建线,虹欧 PDP 的建线,龙腾光电的扩充以及深圳 5.5 代线建线和下一步 6 代线、7.5 代线等的建设,已成为全球业界高度关注的焦点;LED 显示更是在全国城市照明工程与广告等方面得到广泛运用,OLED、激光显示也在中国不断发展,中国将是全球光电显示产业发展的前沿重地,深圳将作为中国以及珠三角地区的电子信息和光电显示产业核心地区。

(本刊通讯员)